

86.01 Técnica Digital

Circuitos Secuenciales ***Contadores***

Ing. Jorge H. Fuchs

Objetivos de la clase:

Analizar las características de los circuitos secuenciales en que los contadores pueden incluirse.

Estudiar un tipo de circuito secuencial capaz de almacenar y manejar información, así como generar secuencias para otros circuitos.

Redescubrir el concepto de estado de un circuito secuencial.

Conocer y aplicar los distintos tipos de contadores, sus códigos asociados, y el uso de manuales sobre el tema.

Obtener el manejo de los diagramas temporales y su realización.

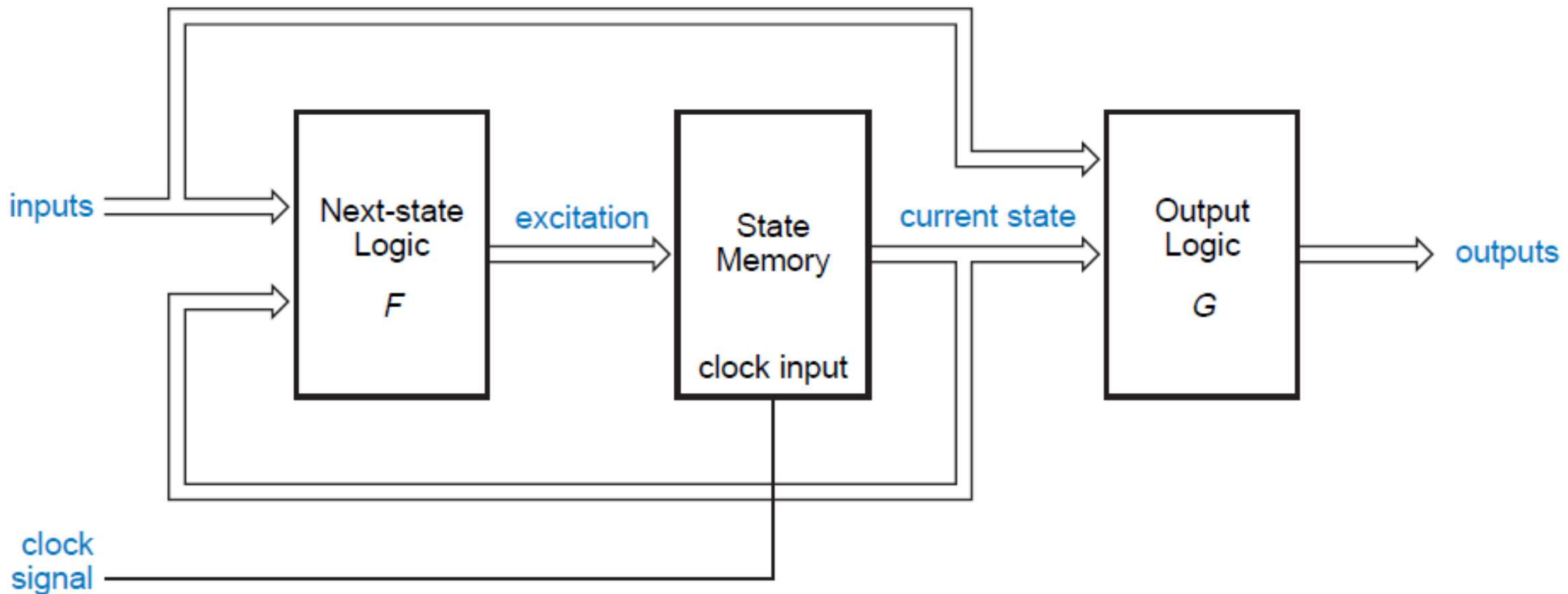
Analizar las formas de interconexión entre contadores.

Máquina de Mealy

Memoria de estado: n biestables 2^n estados posibles reloj

Lógica de próximo estado: $F = f(\text{entradas, estado actual})$

Lógica de salida: $G = g(\text{entradas, estado actual})$

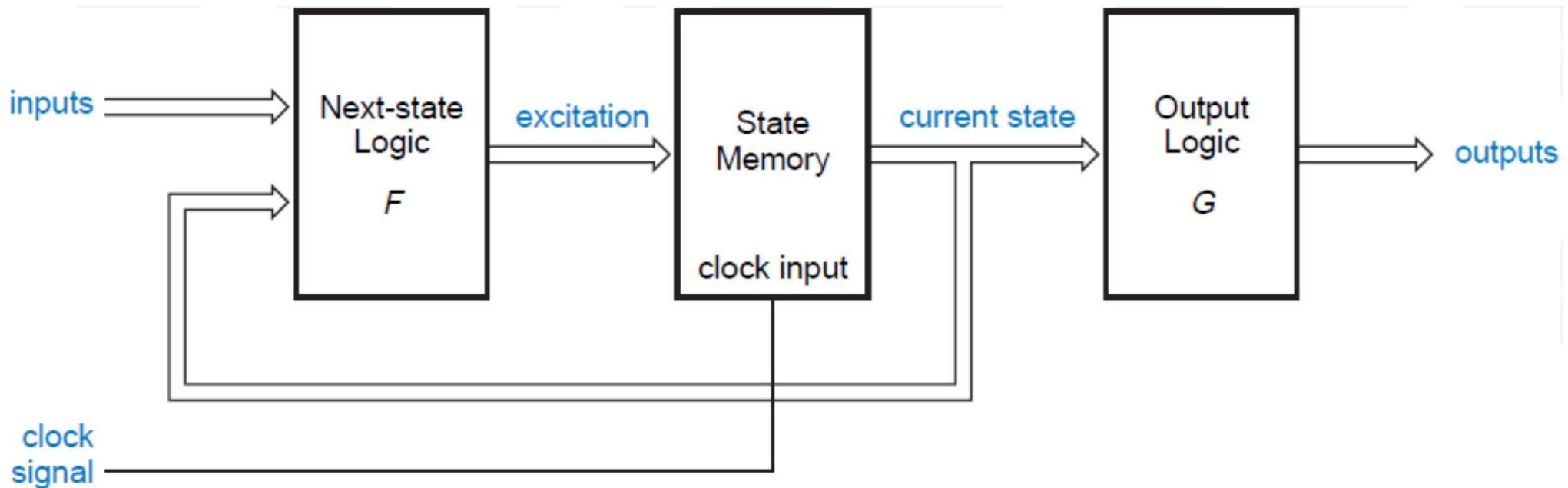


Máquina de Moore

Memoria de estado: n biestables 2^n estados posibles reloj

Lógica de próximo estado: $F = f(\text{entradas, estado actual})$

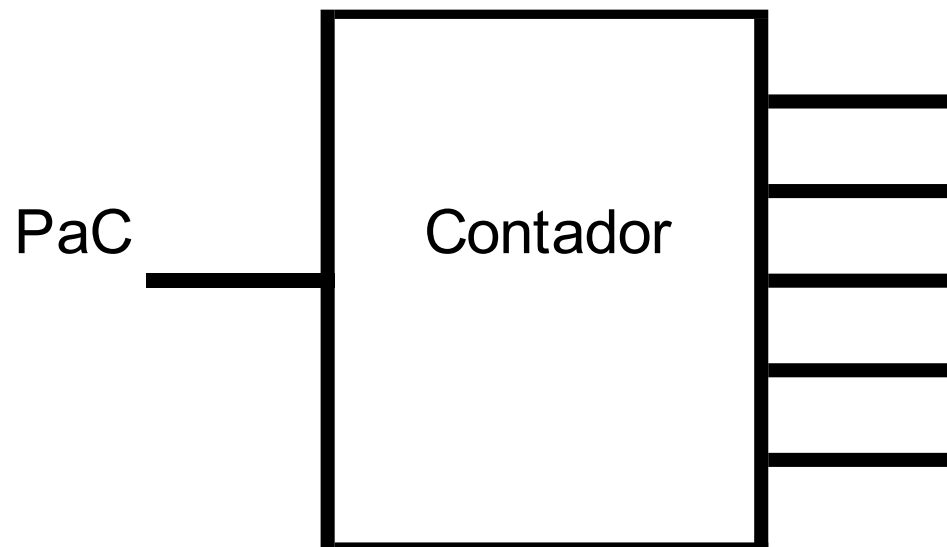
Lógica de salida: $G = g(\text{estado actual})$



Los **contadores** son **sistemas secuenciales** de memoria que **recuerdan** cuántos pulsos han sido aplicados a su única entrada.

La secuencia en que la información de cuenta aparece en la salida depende de la aplicación particular, acorde al diseño, y constituyen el **código de cuenta** del sistema.

En cada salida se generan secuencias repetitivas, son también llamados **secuenciadores**.

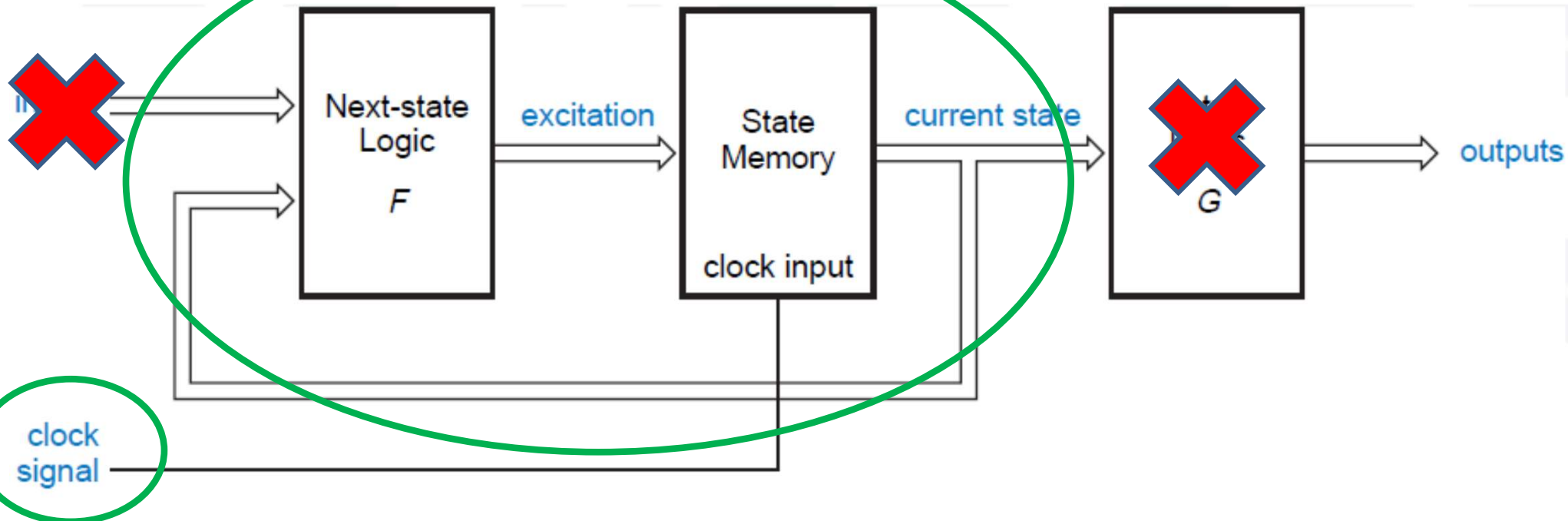


Definiciones

Un circuito **biestable** recuerda uno de dos estados posibles acorde con lo que ocurrió en sus entradas.

Un **contador** como **interconexión de n biestables** es un circuito secuencial de memoria capaz de recordar **hasta 2^n estados posibles**, es decir cada una de las 2^n combinaciones en sus salidas.

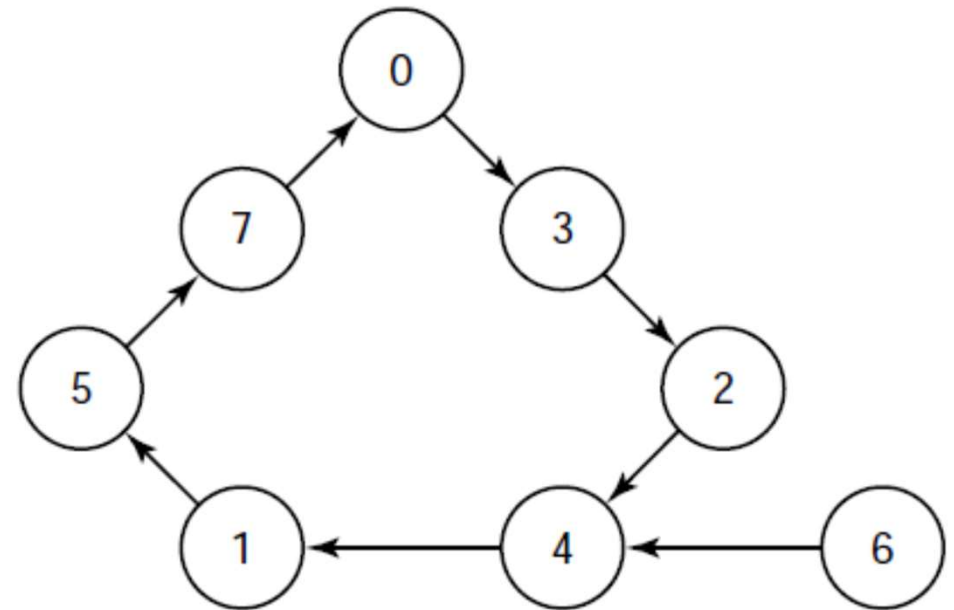
En el contador los pulsos a contar son aplicados a la entrada del circuito y por **cada pulso** en la entrada del mismo **hace avanzar** de una combinación de salida a la siguiente.



Estado es cada una de las 2^n **combinaciones** que pueden formarse con n biestables y en la cual es factible que se encuentre el contador.

0 0 0
0 0 1
0 1 0
0 1 1
1 0 0
1 0 1
1 1 0
1 1 1

3 biestables
8 estados posibles



M = 7

Módulo es la cantidad de pulsos que se deben aplicar a la entrada para que el contador vuelva al estado inicial luego de haber pasado por todos los estados para los cuales fue diseñado. Es decir que es la cantidad de estados que posee el código.

Código es el que se conforma con los valores obtenidos en la salida de los biestables. Depende de la forma de interconexión. Cada contador define finalmente un código de cuenta pero cada código podría ser implementado con distintas topologías circuitales.

10
01 **M = 3**
11
10

Biestables, se puede emplear cualquiera conocido. Sólo variará el tipo de lógica combinatorial que se requerirá para cumplir con un código dado.

SR **JK** **T** **D**

Velocidad, depende del tipo de conexión realizada con los biestables.

Asincrónicos

Sincrónicos

Sentido de la cuenta, se puede lograr que el conteo sea ascendente o descendente, normalmente mediante una entrada de control. También en ciertos circuitos se puede lograr desplazamientos a derecha o izquierda.

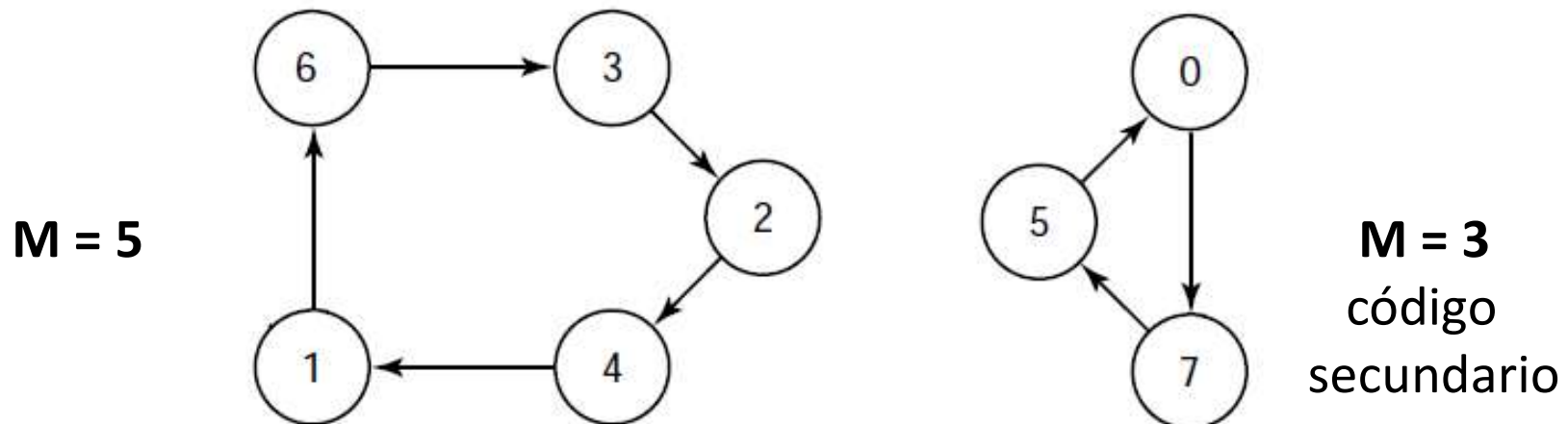
UP	00		00	DOWN
	01		11	
	10	M = 4	10	
	<u>11</u>		<u>01</u>	
	00		00	

Inicialización, es el estado que toma el sistema al ser energizado. Puede dejarse al azar o hacer que el contador vaya a un estado de salida particular desde el cual arranca su operación.

POR (Power On Reset)

Seguridad, referido al hecho de evolucionar solo dentro del código prefijado o si por algún motivo se escapa del código regresará o no al código.

Si el código es menor que 2^n quedan estados no utilizados que podrían formar un **código secundario** o **secuencia prohibida**, y en caso de caer en ella el contador quedaría operando en la misma.



Decodificación de estados, utilizando circuitos para detectar determinados estados con fines específicos, por ejemplo regresar al estado inicial.

De acuerdo con la forma en que los **pulsos a contar (PaC)** ingresan al sistema se pueden clasificar en:

Sincrónicos: los pulsos a contar entran en los clocks de **todos** los biestables, todos ellos transicionan al “mismo tiempo”.

Asincrónicos: **por lo menos uno** de los biestables no es controlado por los pulsos a contar, hay demoras en las transiciones.

También podemos distinguir según su **módulo:**

M = 2ⁿ todos los estados pertenecen al código

M < 2ⁿ estados sin usar (seguridad, decodificación, etc.)

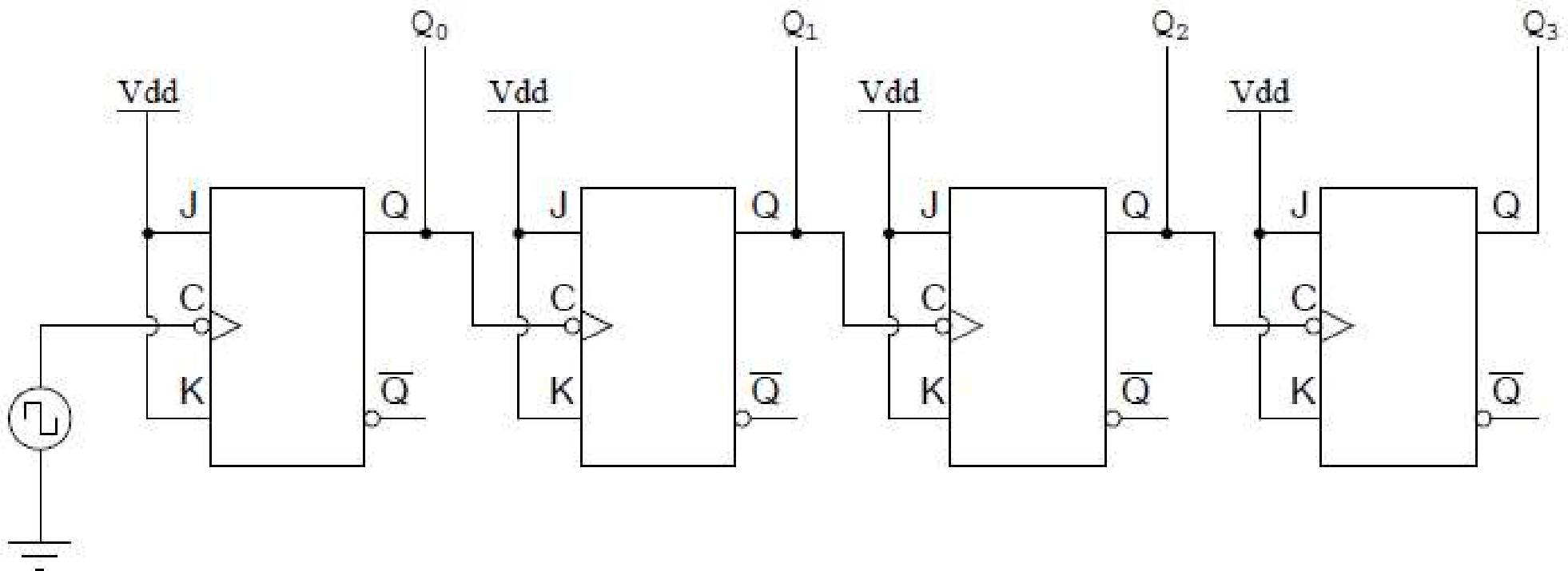
donde n = cantidad de biestables

Contadores Asincrónicos de $M = 2^n$

Un biestable T, con $T = 1$, por cada pulso de C_k realizará un cambio en Q , por lo tanto la frecuencia de salida será **la mitad** de la frecuencia de entrada.

Usando T de flanco descendente tendremos un contador asincrónico ascendente (**UP counter**) de módulo $M = 2^n$. El código será **binario natural**.

T	Q_{n+1}
0	Q_n
1	not Q_n



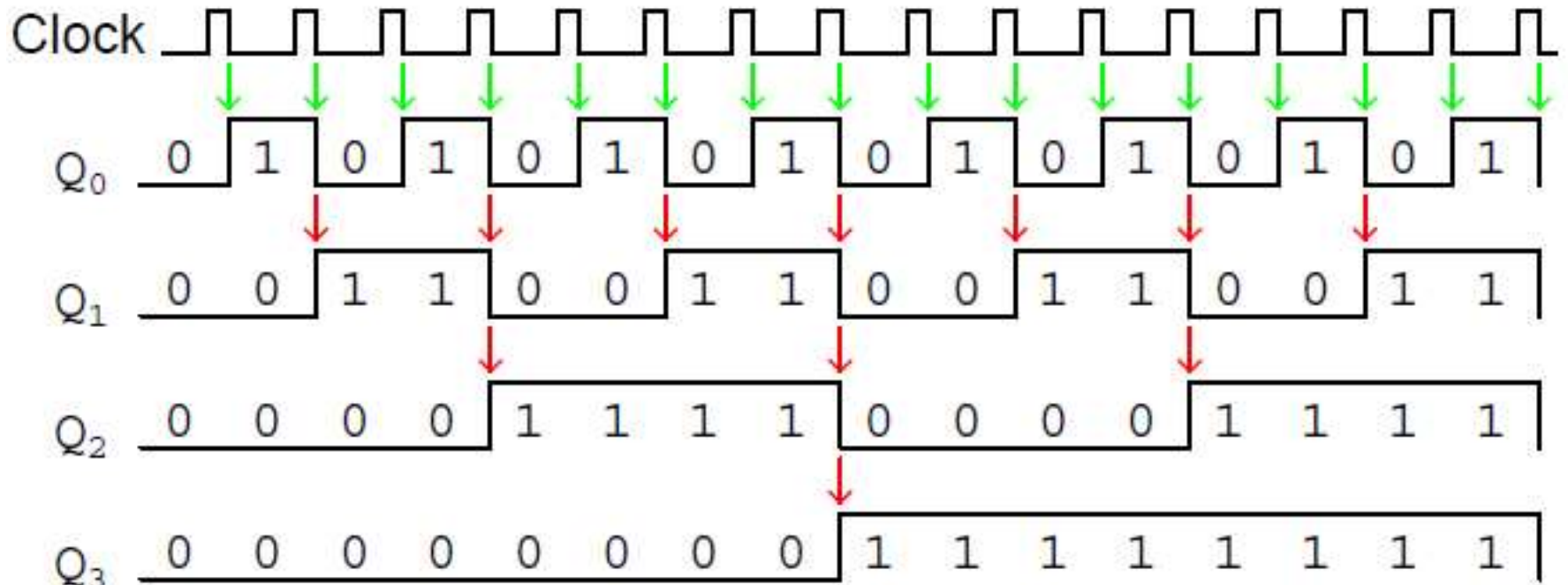
Contadores Asincrónicos de $M = 2^n$

Un contador asincrónico de Módulo M es un **divisor de frecuencia** por M, en este ejemplo $M = 16$. El código es binario natural.

$Q_3 Q_2 Q_1 Q_0$

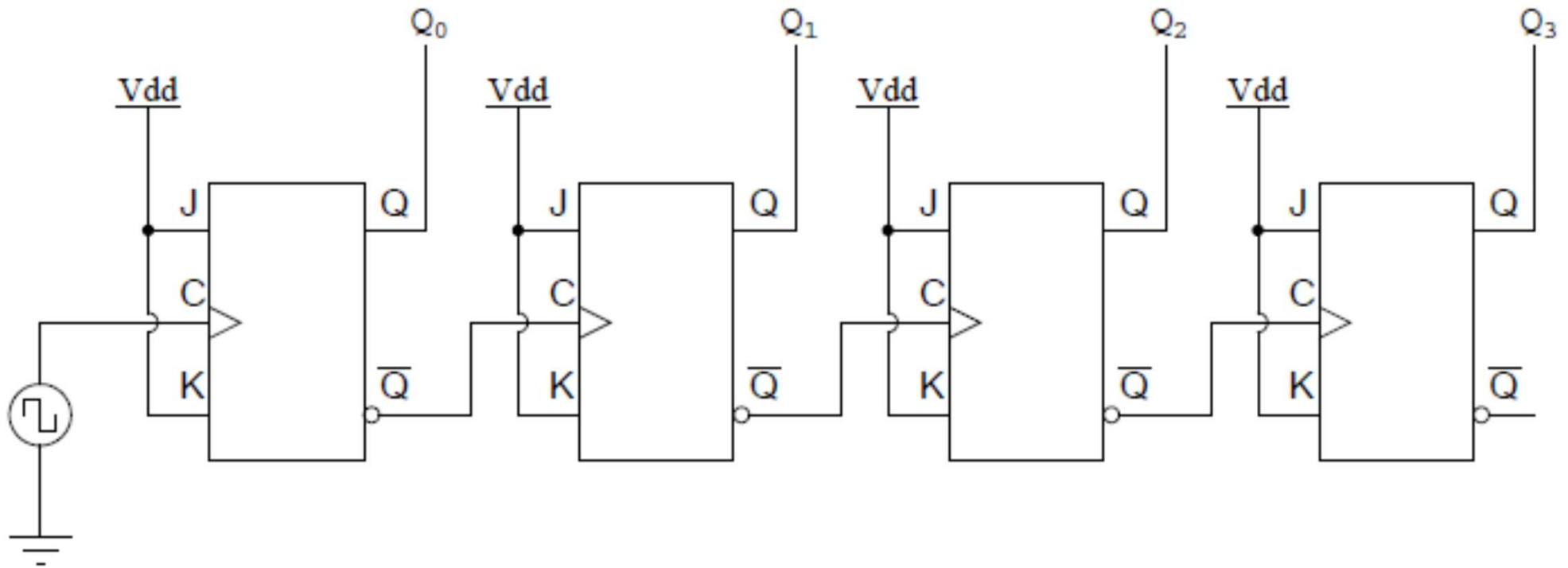
0 0 0 0
0 0 0 1
0 0 1 0
0 0 1 1
0 1 0 0
0 1 0 1
0 1 1 0
0 1 1 1
1 0 0 0
1 0 0 1
1 0 1 0
1 0 1 1
1 1 0 0
1 1 0 1
1 1 1 0
1 1 1 1

T	Q_{n+1}
0	Q_n
1	not Q_n



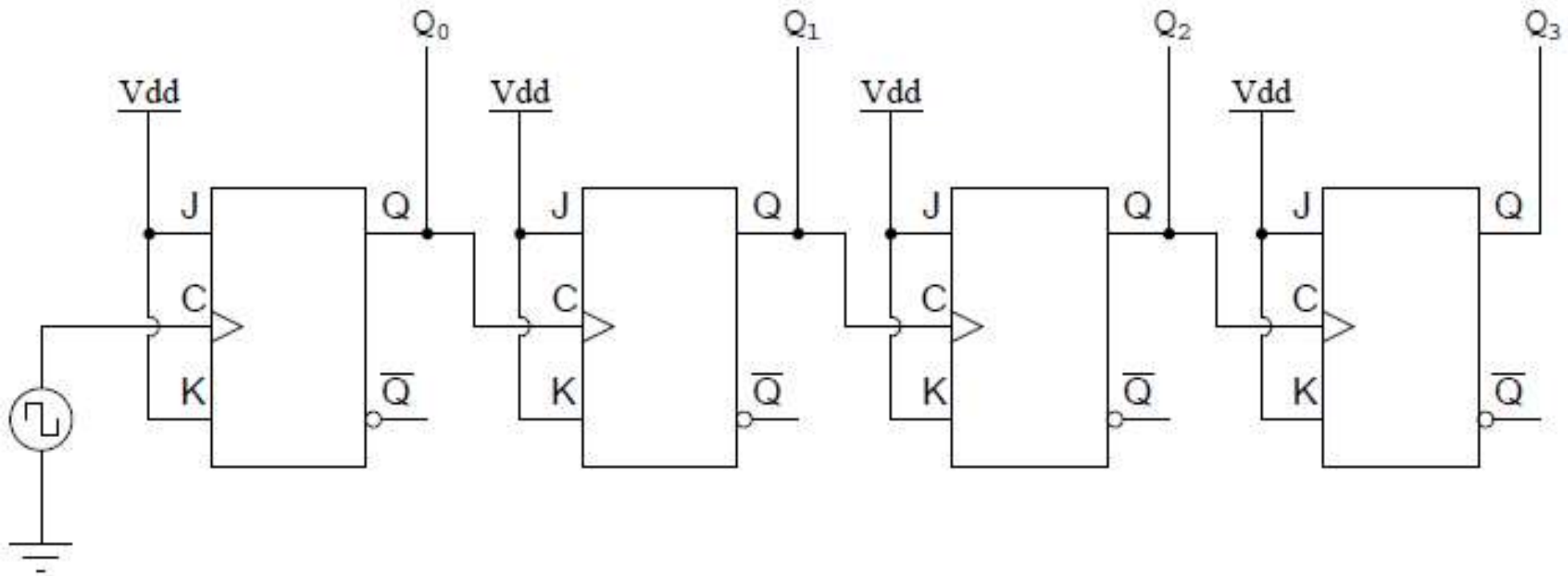
Contadores Asincrónicos de $M = 2^n$

Otra forma de obtener el mismo contador pero con biestables de **flanco ascendente**, en lugar de derivar desde Q lo hacemos desde not Q.



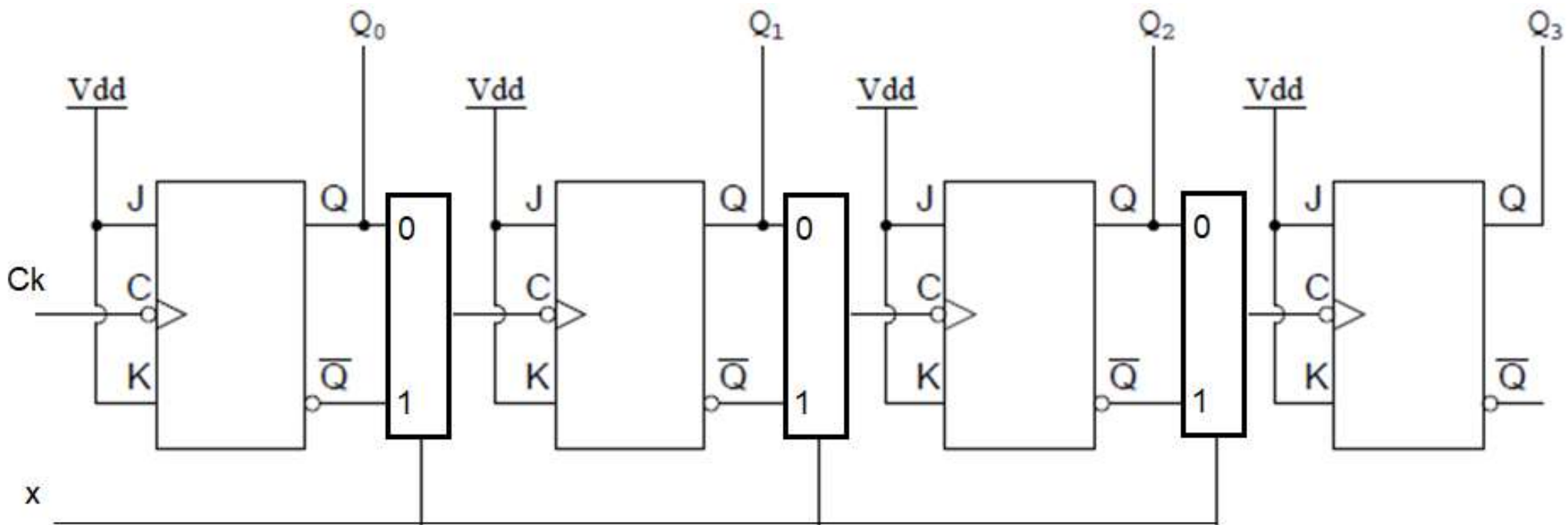
Contadores Asincrónicos de $M = 2^n$

Para obtener un contador asincrónico descendente (**DOWN counter**) de módulo $M = 2^n$, derivamos desde Q con biestables de flanco ascendente (o desde not Q con biestables de flanco descendente).



Contadores Asincrónicos Up/Down

Mediante una entrada adicional **x** y algunos **MUX** podemos obtener un contador ascendente / descendente (**UP / DOWN**) de módulo **M = 2ⁿ**.

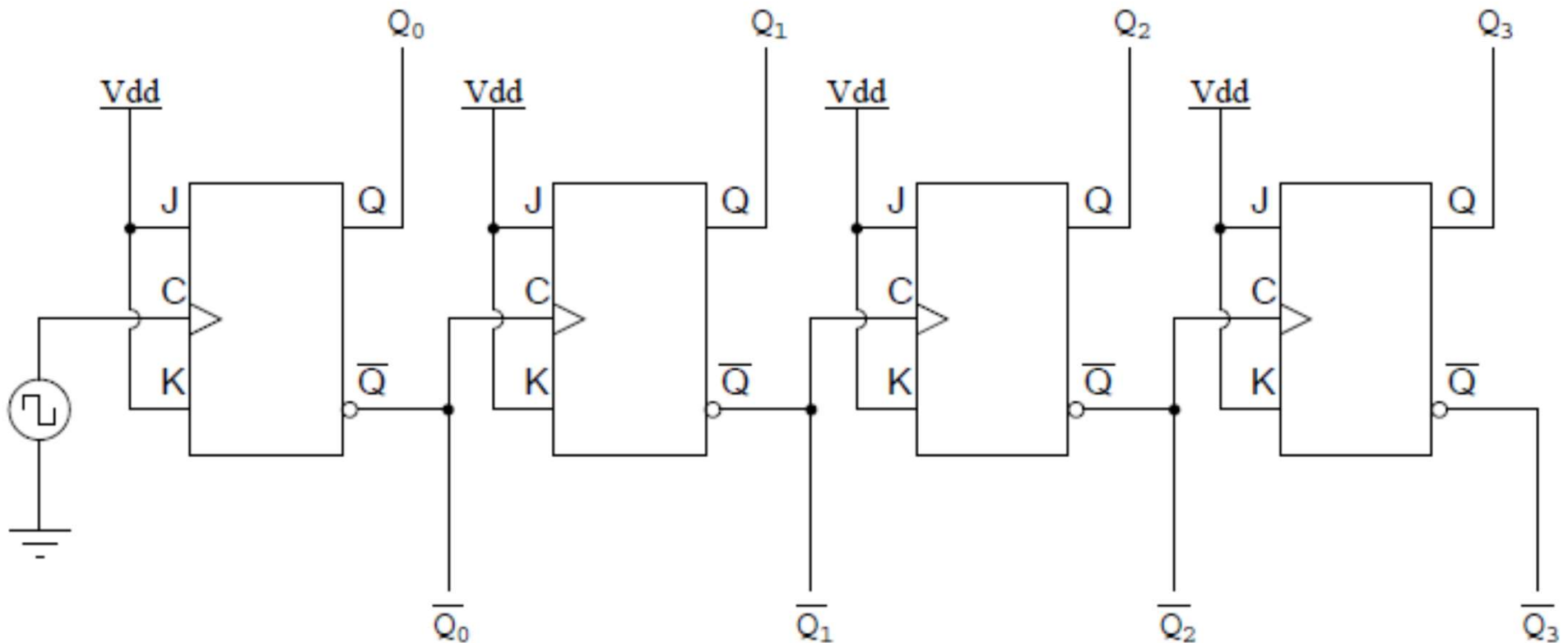


x = 0 UP

x = 1 DOWN

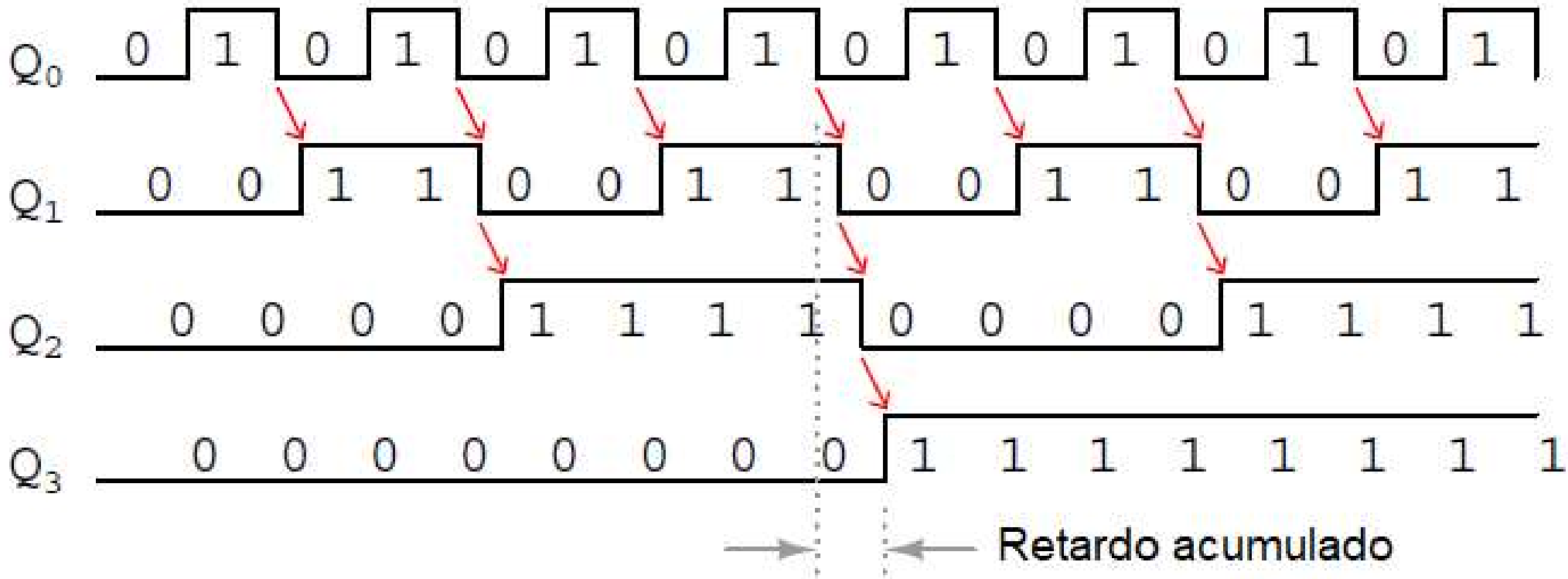
Contadores Asincrónicos Up/Down

También podemos obtener un contador **UP – DOWN** simultáneo. Tiene 2 salidas de n bits cada una.



Contadores Asincrónicos – Retardos

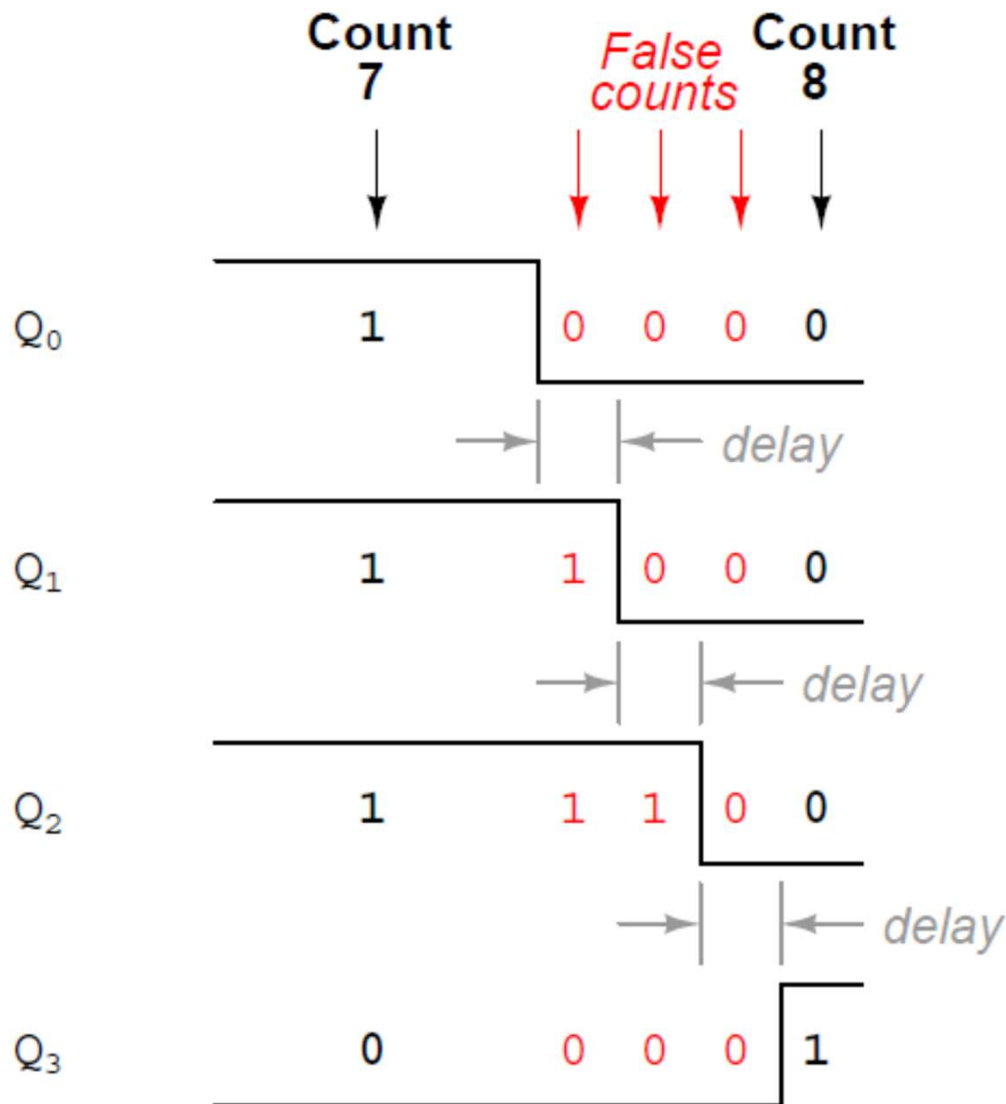
Todos los contadores mostrados hasta ahora comparten un **problema** común: el efecto **ripple o dominó**. Cuando varios bits cambian en una secuencia de conteo binario, no todos lo harán al mismo tiempo.



Si lo utilizo como **divisor** de frecuencia el límite lo dará **el 1er FF**, pero si necesito leer los estados (uso como **contador**), debo esperar a que cambien **los n FF**.

Contadores Asincrónicos – Retardos

Aparecerán estados **espurios** no deseados, que en caso de leer el estado en ese instante, la lectura será **errónea**.



Como **divisor** de frecuencia, el límite lo fija el 1er FF.

$$f_{\max} = 1 / t_{pd}$$

Como **contador**, debo esperar a que cambien los n FF.

$$f_{\max} = 1 / (n t_{pd} + t_L)$$

Contadores Asincrónicos de $M < 2^n$

Decodificando estados obtengo un contador asincrónico binario de $M < 2^n$.
Como ejemplo, decodificando el 12 binario tengo un contador de $M = 12$ (de 0 a 11 binario)

$Q_3 Q_2 Q_1 Q_0$

0 0 0 0

0 0 0 1

0 0 1 0

0 0 1 1

0 1 0 0

0 1 0 1

0 1 1 0

0 1 1 1

1 0 0 0

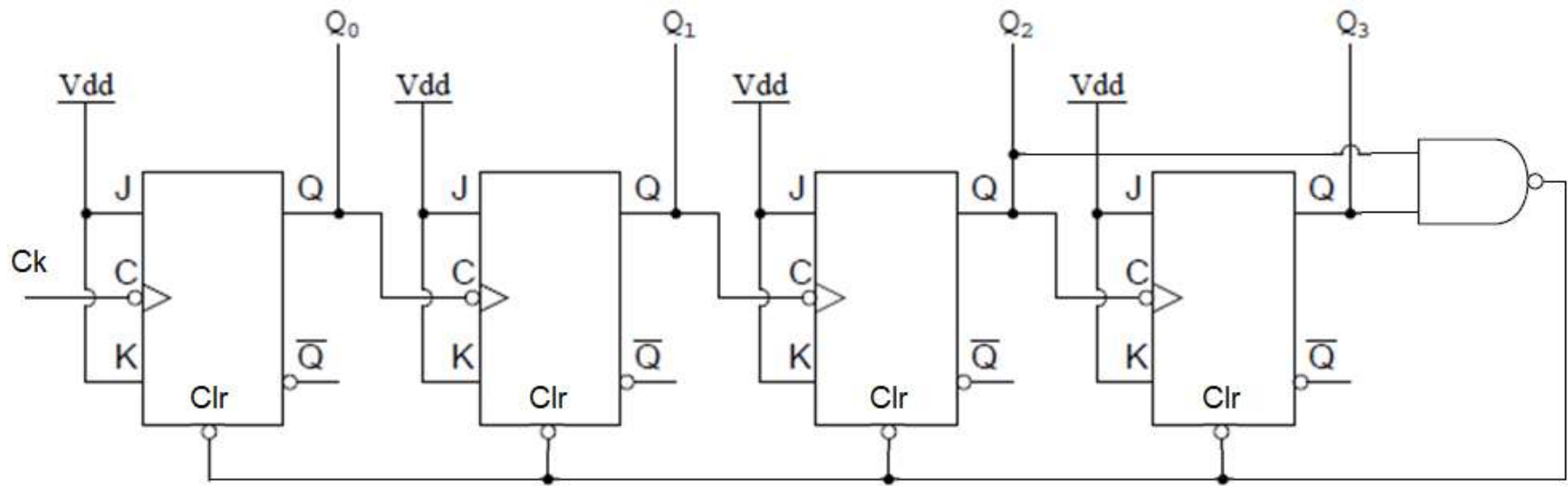
1 0 0 1

1 0 1 0

1 0 1 1

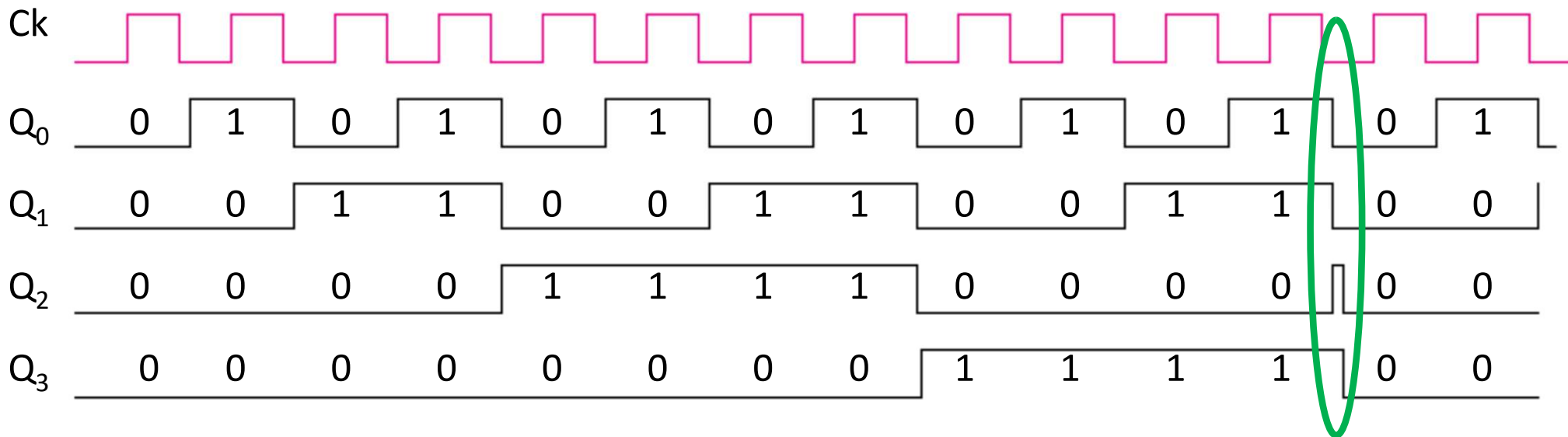
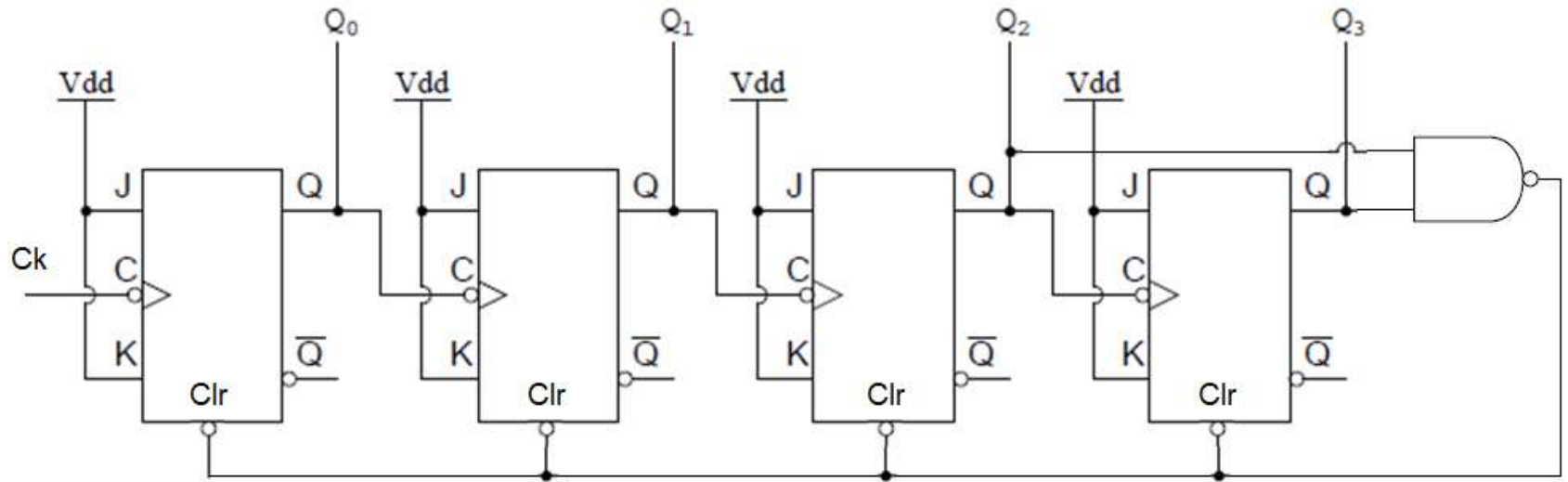
1 1 0 0

0 0 0 0



Contadores Asincrónicos de $M < 2^n$

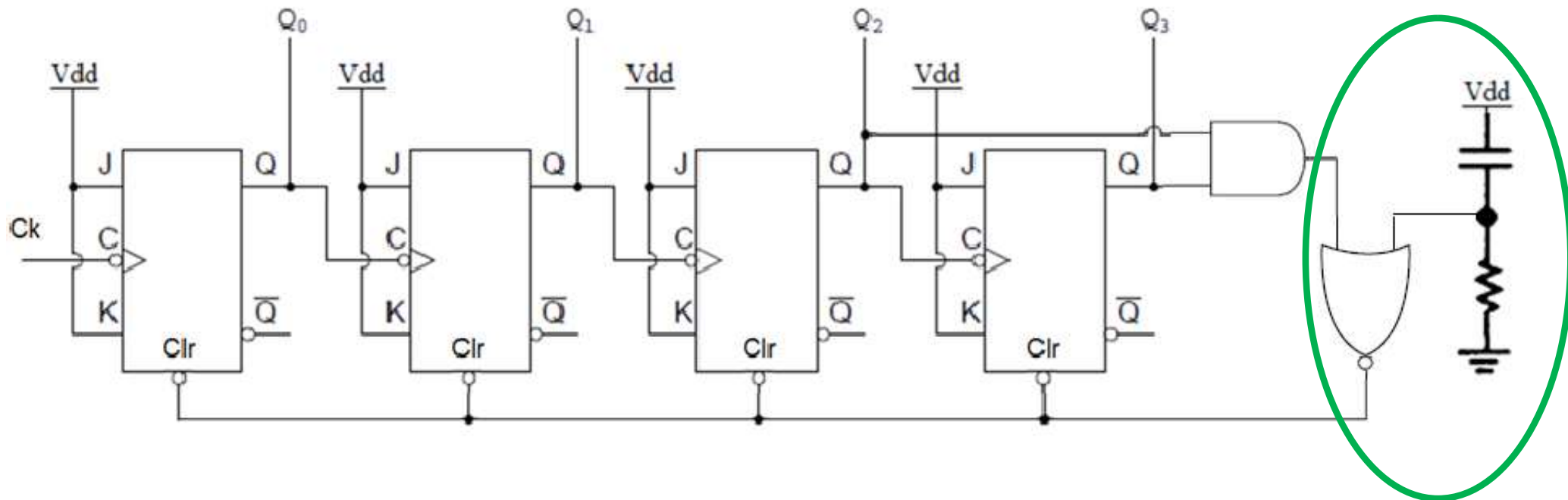
Diagrama de tiempos para el contador asincrónico de $M = 12$, vemos cómo actúa la NAND.



Contadores Asincrónicos – Inicialización

Aquí le hemos agregado un **POR** mediante un circuito RC y una compuerta OR (NOR ya que la NAND ahora es AND).

Se garantiza así que el contador **se inicialice** en el estado deseado (en este caso 0000).

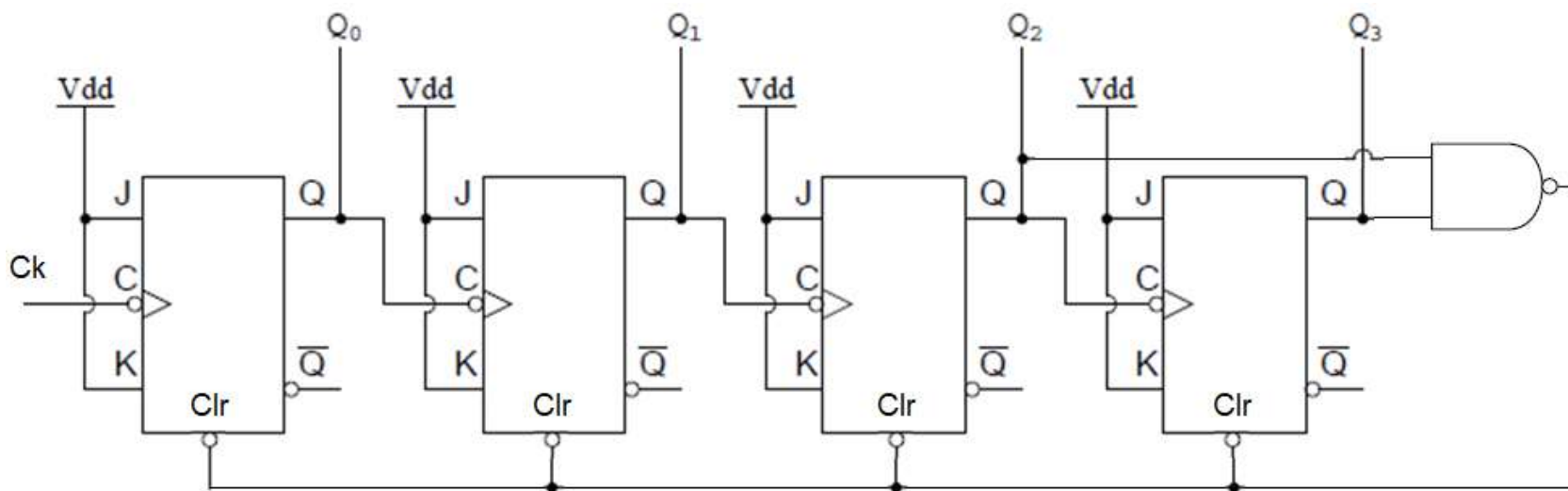


Análisis y Síntesis (Asincrónicos)

Estamos en condiciones de realizar ambas acciones:

Síntesis: Dado el módulo de un contador asincrónico de código binario natural (8421), de ser necesario decodifico el primer estado que no pertenece al código y actúo sobre los Clr de todos los biestables. Utilizo n biestables, con $2^{n-1} < M \leq 2^n$.

Análisis: Dado un circuito como el siguiente, obtener su módulo y su código (no necesariamente binario natural 8421). Plantear las **funciones de sus entradas** (J_i y K_i) y analizar sus transiciones. Obtener su **diagrama de estados**.

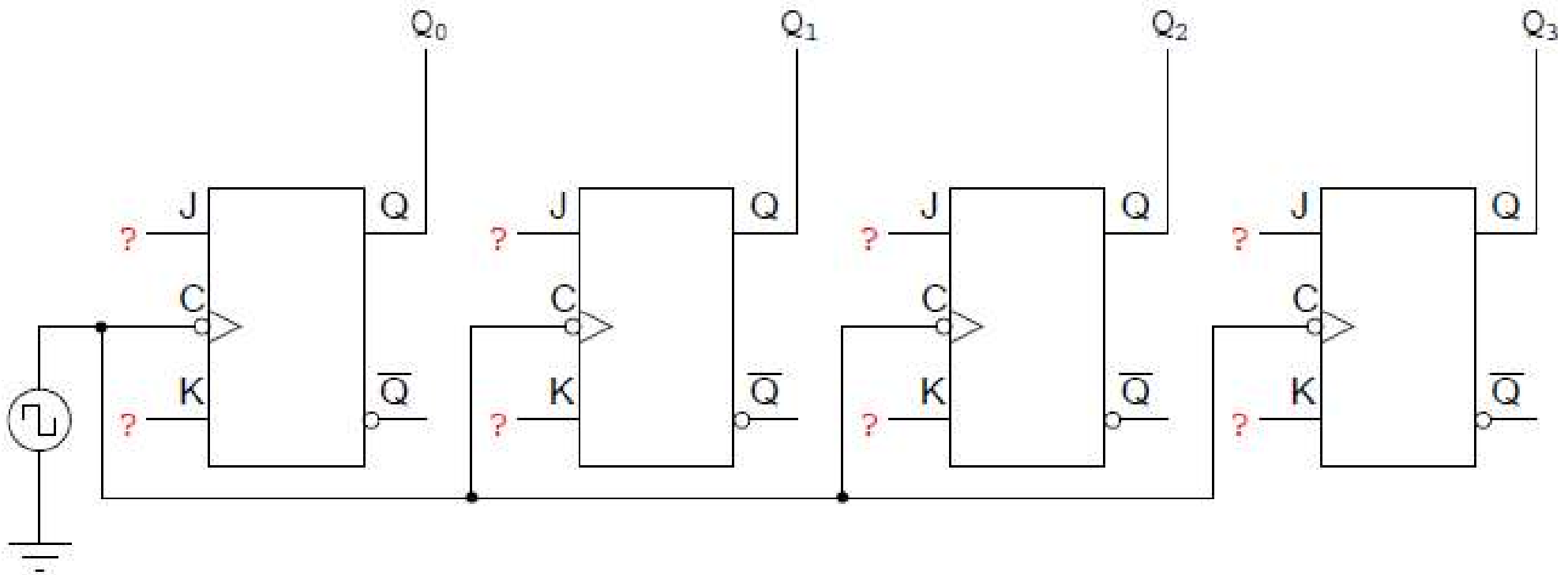


$Q_3 Q_2 Q_1 Q_0$
0 0 0 0
0 0 0 1
0 0 1 0
0 0 1 1
0 1 0 0
0 1 0 1
0 1 1 0
0 1 1 1
1 0 0 0
1 0 0 1
1 0 1 0
1 0 1 1
1 1 0 0
0 0 0 0

Contadores Sincrónicos – Síntesis

En los contadores sincrónicos **TODOS** los Ck de los biestables reciben los **PaC**, por lo tanto todos cambiarán **sincrónicamente**. Mayor **velocidad** de operación. Según el código deseado debemos condicionar a los biestables que deben cambiar.

El **diseño** consiste en obtener las funciones que condicionan las entradas de los FF determinando cuales deben cambiar. Podemos utilizar cualquier tipo de biestable. **POR** similar que en asincrónicos.



Método de las Transiciones: Diseñaremos un contador binario natural de módulo $M = 8$ utilizando JK. Usaremos 3 biestables. A partir del código construimos la TV:

	Q_3	Q_2	Q_1
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
0	0	0	0

	Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	0	1
1	0	0	1	0	1	0
2	0	1	0	0	1	1
3	0	1	1	1	0	0
4	1	0	0	1	0	1
5	1	0	1	1	1	0
6	1	1	0	1	1	1
7	1	1	1	0	0	0

Contadores Sincrónicos – Síntesis – MT

Mediante la **TT** del JK analizaremos cada una de las transiciones Q_i^n a Q_i^{n+1} .

Q_n	Q_{n+1}	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

La **TV** quedará como sigue:

	Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	J_2	K_2	J_1	K_1	J_0	K_0
0	0	0	0	0	0	1	0	x	0	x	1	x
1	0	0	1	0	1	0	0	x	1	x	x	1
2	0	1	0	0	1	1	0	x	x	0	1	x
3	0	1	1	1	0	0	1	x	x	1	x	1
4	1	0	0	1	0	1	x	0	0	x	1	x
5	1	0	1	1	1	0	x	0	1	x	x	1
6	1	1	0	1	1	1	x	0	x	0	1	x
7	1	1	1	0	0	0	x	1	x	1	x	1

Contadores Sincrónicos – Síntesis – MT

Planteamos los 6 mapas de los J_i y K_i , la solución será:

Q_2	Q_1Q_0	00	01	11	10
0		0	0	1	0
1		x	x	x	x

$$J_2 = Q_1 Q_0$$

Q_2	Q_1Q_0	00	01	11	10
0		x	x	x	x
1		0	0	1	0

$$K_2 = Q_1 Q_0$$

Q_2	Q_1Q_0	00	01	11	10
0		0	1	x	x
1		0	1	x	x

$$J_1 = Q_0$$

Q_2	Q_1Q_0	00	01	11	10
0		x	x	1	0
1		x	x	1	0

$$K_1 = Q_0$$

Q_2	Q_1Q_0	00	01	11	10
0		1	x	x	1
1		1	x	x	1

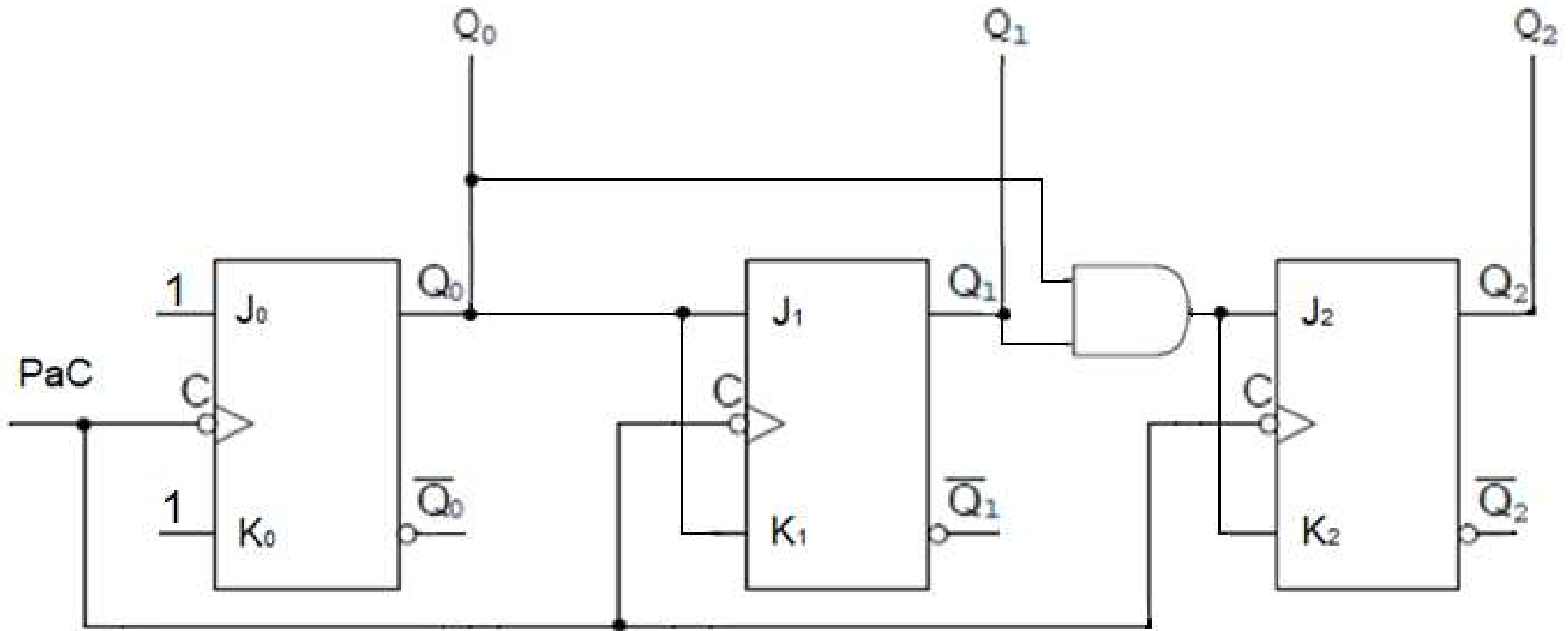
$$J_0 = 1$$

Q_2	Q_1Q_0	00	01	11	10
0		x	1	1	x
1		x	1	1	x

$$K_0 = 1$$

Contadores Sincrónicos – Síntesis – MT

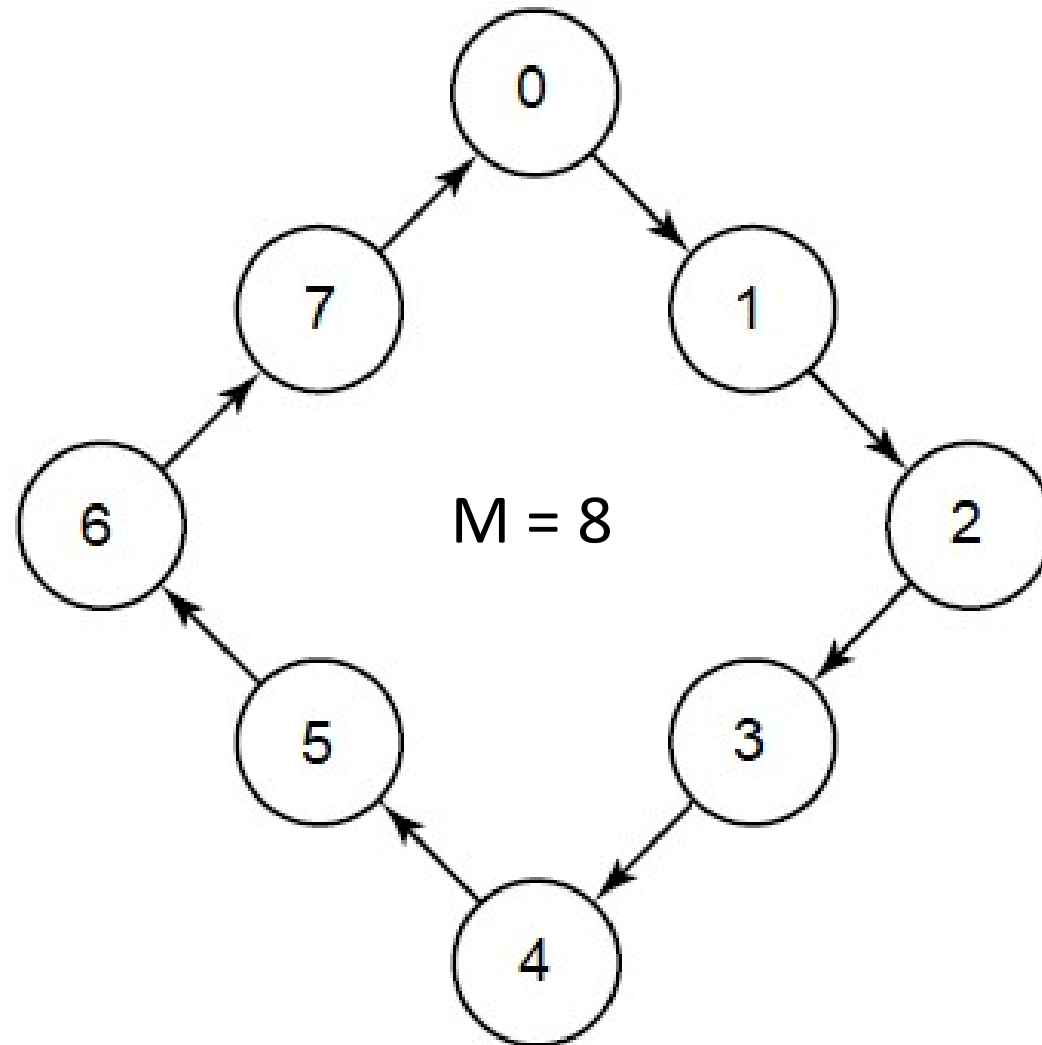
El circuito quedará:



Contadores Sincrónicos – Síntesis – MT

El diagrama de los 8 estados será:

	Q_3	Q_2	Q_1
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
0	0	0	0



Contadores Sincrónicos – Síntesis – MT

Ahora nuevamente por el **Método de las Transiciones** pero con biestables **D**. Mediante la **TT** del **D** analizaremos las transiciones Q_i^n a Q_i^{n+1} . Teniendo en cuenta que $Q^{n+1} = D$, la **TV** quedará como sigue:

Q_n	Q_{n+1}	D
0	0	0
0	1	1
1	0	0
1	1	1

	Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	D ₂	D ₁	D ₀
0	0	0	0	0	0	1	0	0	1
1	0	0	1	0	1	0	0	1	0
2	0	1	0	0	1	1	0	1	1
3	0	1	1	1	0	0	1	0	0
4	1	0	0	1	0	1	1	0	1
5	1	0	1	1	1	0	1	1	0
6	1	1	0	1	1	1	1	1	1
7	1	1	1	0	0	0	0	0	0

Debo resolver los 3 mapas K.

Ventaja: 3 mapas (D) vs 6 (JK).

Desventaja: generalmente funciones más complejas (D).

Contadores Sincrónicos – Síntesis – MT

Planteamos 3 mapas K de los D_i y obtenemos las soluciones:

Q_2	Q_1Q_0	00	01	11	10
0		0	0	1	0
1		1	1	0	1

Q_2	Q_1Q_0	00	01	11	10
0		0	1	0	1
1		0	1	0	1

Q_2	Q_1Q_0	00	01	11	10
0		1	0	0	1
1		1	0	0	1

$$D_2 = Q_2 \bar{Q}_1 + Q_2 \bar{Q}_0 + \bar{Q}_2 Q_1 Q_0$$

$$D_1 = \bar{Q}_1 Q_0 + Q_1 \bar{Q}_0$$

$$D_0 = \bar{Q}_0$$

Como vemos, son funciones un poco más complejas que las obtenidas con JK (son 7 compuertas contra solo una).

Método de la Ecuación Característica: Diseñaremos el mismo contador binario natural de $M = 8$ utilizando JK.

Tenemos la misma **TV** que antes:

	Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	0	1
1	0	0	1	0	1	0
2	0	1	0	0	1	1
3	0	1	1	1	0	0
4	1	0	0	1	0	1
5	1	0	1	1	1	0
6	1	1	0	1	1	1
7	1	1	1	0	0	0

Planteamos 3 mapas K de los Q_i^{n+1} y los resolvemos en función de la ecuación característica del JK:

$$Q_i^{n+1} = J_i \bar{Q}_i + \bar{K}_i Q_i$$

Q_2	$Q_1 Q_0$	00	01	11	10
0		0	0	1	0
1		1	1	0	1

$$Q_2^{n+1} = Q_1 Q_0 \bar{Q}_2 + (\bar{Q}_1 + \bar{Q}_0) Q_2$$

$$J_2 = Q_1 Q_0 \quad K_2 = Q_1 Q_0$$

Q_2	$Q_1 Q_0$	00	01	11	10
0		0	1	0	1
1		0	1	0	1

$$Q_1^{n+1} = Q_0 \bar{Q}_1 + \bar{Q}_0 Q_1$$

$$J_1 = Q_0 \quad K_1 = Q_0$$

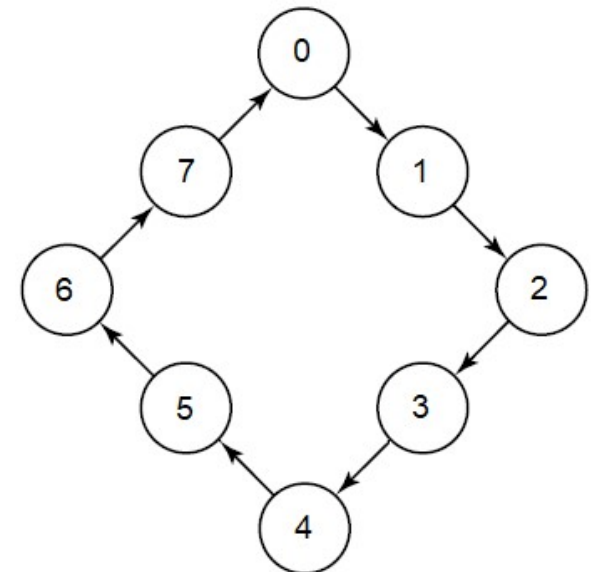
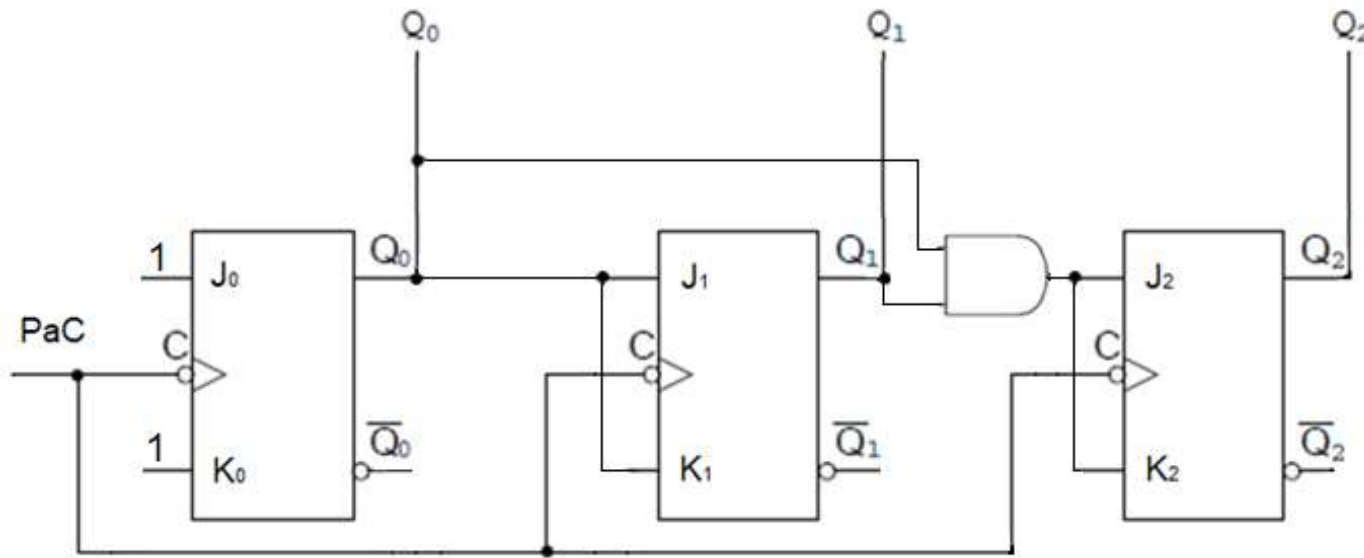
Q_2	$Q_1 Q_0$	00	01	11	10
0		1	0	0	1
1		1	0	0	1

$$Q_0^{n+1} = 1 \bar{Q}_0 + 0 Q_0$$

$$J_0 = 1 \quad K_0 = 1$$

Contadores Sincrónicos – Síntesis – MEC

El circuito y el diagrama de estados son los mismos que obtuvimos por el método de las Transiciones:



Contadores Sincrónicos – Síntesis – MT

Mediante la TT del JK analizaremos cada una de las transiciones Q_i^n a Q_i^{n+1} .

La TV quedará como sigue:

Q_n	Q_{n+1}	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

	Q_3^n	Q_2^n	Q_1^n	Q_0^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	J_3	K_3	J_2	K_2	J_1	K_1	J_0	K_0
0	0	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x
1	0	0	0	1	x	x	x	x	x	x	x	x	x	x	x	x
2	0	0	1	0	0	1	1	0	0	x	1	x	x	0	0	x
3	0	0	1	1	x	x	x	x	x	x	x	x	x	x	x	x
4	0	1	0	0	1	1	0	0	1	x	x	0	0	x	0	x
5	0	1	0	1	0	1	0	0	0	x	x	0	0	x	x	1
6	0	1	1	0	0	1	1	1	0	x	x	0	x	0	1	x
7	0	1	1	1	0	1	0	1	0	x	x	0	x	1	x	0
8	1	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x
9	1	0	0	1	x	x	x	x	x	x	x	x	x	x	x	x
10	1	0	1	0	0	0	1	0	x	1	0	x	x	0	0	x
11	1	0	1	1	x	x	x	x	x	x	x	x	x	x	x	x
12	1	1	0	0	1	1	0	1	x	0	x	0	0	x	1	x
13	1	1	0	1	1	1	1	1	x	0	x	0	1	x	x	0
14	1	1	1	0	1	0	1	0	x	0	x	1	x	0	0	x
15	1	1	1	1	1	1	1	0	x	0	x	0	x	0	x	1

Contadores Sincrónicos – Síntesis – MT

Planteamos los 8 mapas de los J_i y K_i , la solución será:

Q_3Q_2	Q_1Q_0	00	01	11	10
00		x	x	x	0
01		1	0	0	0
11		x	x	x	x
10		x	x	x	x

$$J_3 = \bar{Q}_1 \bar{Q}_0$$

Q_3Q_2	Q_1Q_0	00	01	11	10
00		x	x	x	x
01		x	x	x	x
11		0	0	0	0
10		x	x	x	1

$$K_3 = \bar{Q}_2$$

Q_3Q_2	Q_1Q_0	00	01	11	10
00		x	x	x	1
01		x	x	x	x
11		x	x	x	x
10		x	x	x	0

$$J_2 = \bar{Q}_3$$

Q_3Q_2	Q_1Q_0	00	01	11	10
00		x	x	x	x
01		0	0	0	0
11		0	0	0	1
10		x	x	x	x

$$K_2 = Q_3 Q_1 \bar{Q}_0$$

Q_3Q_2	Q_1Q_0	00	01	11	10
00		x	x	x	x
01		0	0	x	x
11		0	1	x	x
10		x	x	x	x

$$J_1 = Q_3 Q_0$$

Q_3Q_2	Q_1Q_0	00	01	11	10
00		x	x	x	0
01		x	x	1	0
11		x	x	0	0
10		x	x	x	0

$$K_1 = \bar{Q}_3 Q_0$$

Q_3Q_2	Q_1Q_0	00	01	11	10
00		x	x	x	0
01		0	x	x	1
11		1	x	x	0
10		x	x	x	0

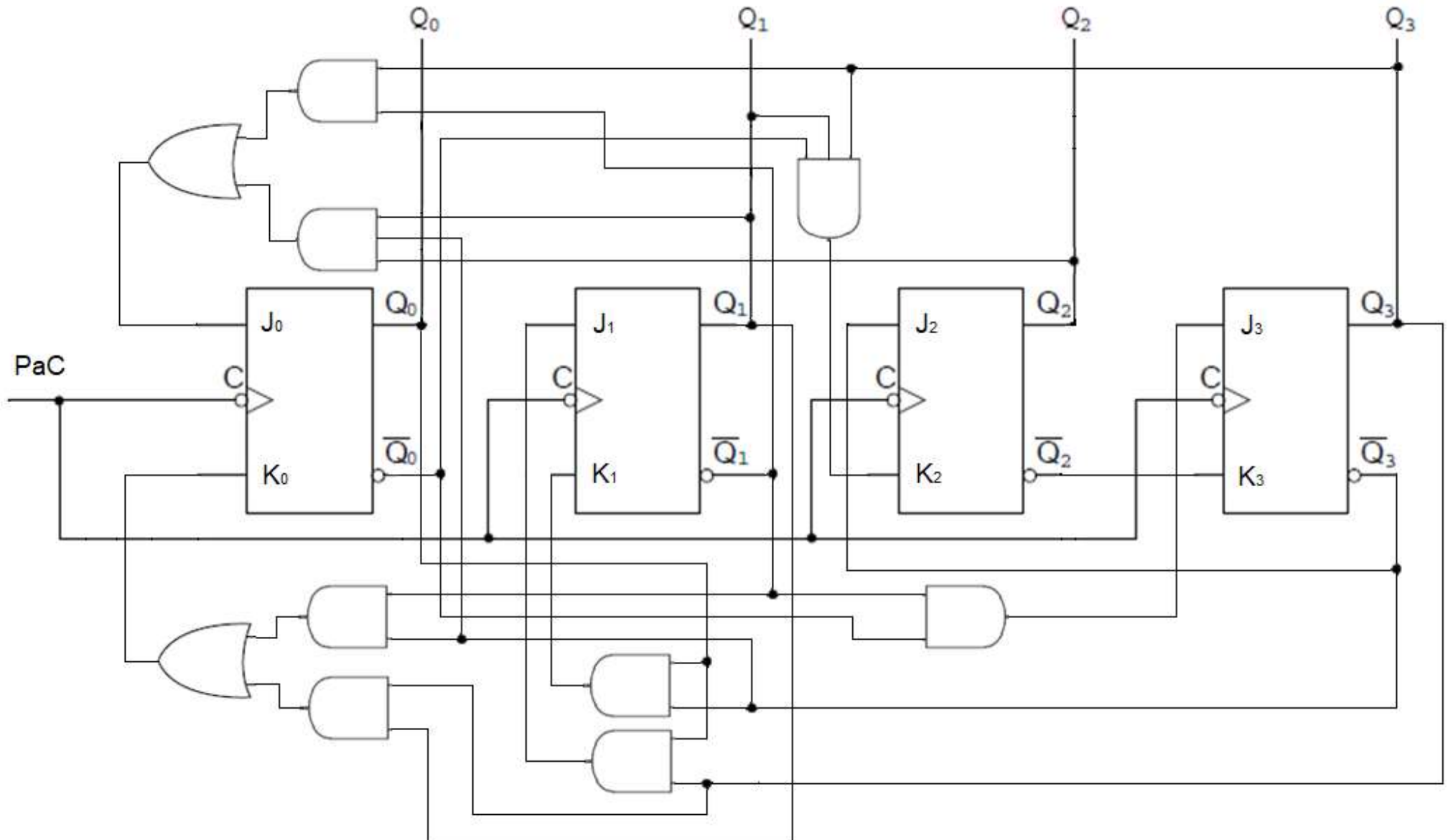
$$J_0 = \bar{Q}_3 Q_2 Q_1 + Q_3 \bar{Q}_1$$

Q_3Q_2	Q_1Q_0	00	01	11	10
00		x	x	x	x
01		x	1	0	x
11		x	0	1	x
10		x	x	x	x

$$K_0 = \bar{Q}_3 \bar{Q}_1 + Q_3 Q_1$$

Contadores Sincrónicos – Síntesis – MT

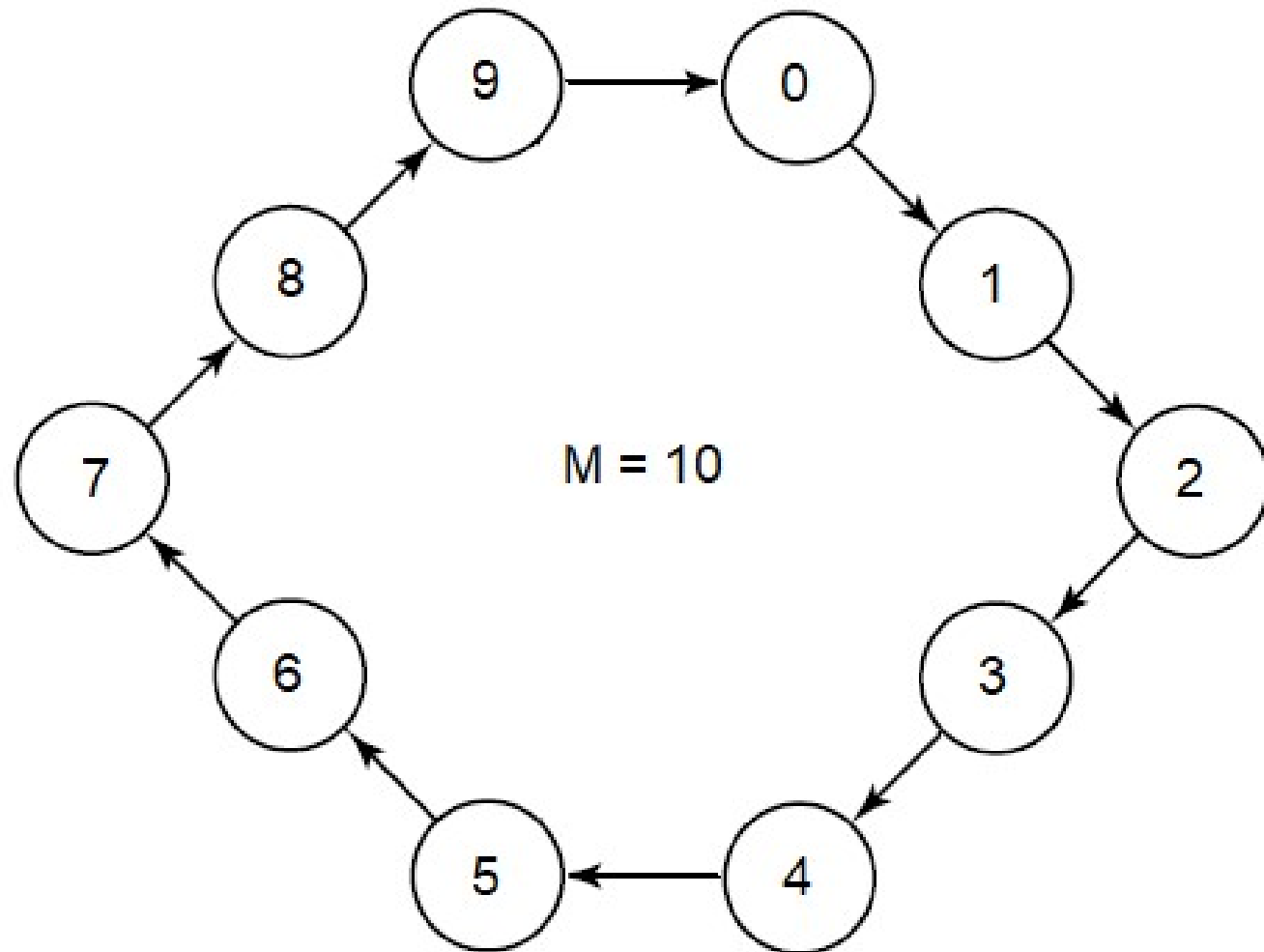
El circuito quedará:



Contadores Sincrónicos – Síntesis – MT

El diagrama de los 10 estados quedará:

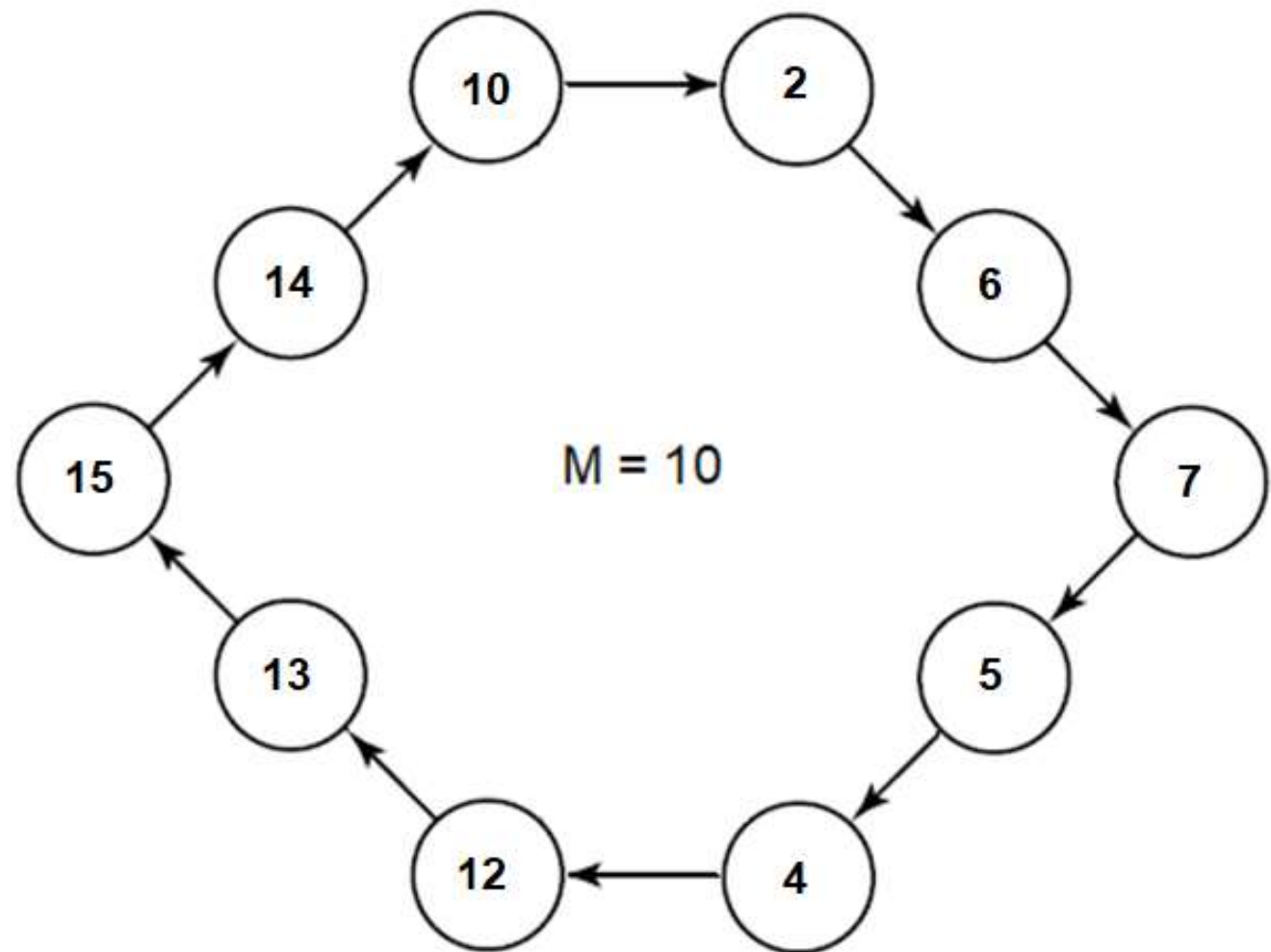
0	0	0	1	0
1	0	1	1	0
2	0	1	1	1
3	0	1	0	1
4	0	1	0	0
5	1	1	0	0
6	1	1	0	1
7	1	1	1	1
8	1	1	1	0
9	1	0	1	0



Contadores Sincrónicos – Síntesis – MT

Muchas veces se los designa con el estado pero en binario natural, en este caso quedaría:

0	0 0 1 0	2
1	0 1 1 0	6
2	0 1 1 1	7
3	0 1 0 1	5
4	0 1 0 0	4
5	1 1 0 0	12
6	1 1 0 1	13
7	1 1 1 1	15
8	1 1 1 0	14
9	1 0 1 0	10



En muchos casos es importante **analizar** qué ocurre con los **estados que no pertenecen al código**, lo veremos luego en Análisis de Contadores Sincrónicos.

Contadores Sincrónicos – Síntesis – MT

Ahora nuevamente por el **Método de las Transiciones** pero con biestables **D**. Mediante la **TT** del **D** analizaremos las transiciones Q_i^n a Q_i^{n+1} . Teniendo en cuenta que $Q^{n+1} = D$, la **TV** quedará como sigue:

Q_n	Q_{n+1}	D
0	0	0
0	1	1
1	0	0
1	1	1

	Q_3^n	Q_2^n	Q_1^n	Q_0^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	D₃	D₂	D₁	D₀
0	0	0	0	0	x	x	x	x	x	x	x	x
1	0	0	0	1	x	x	x	x	x	x	x	x
2	0	0	1	0	0	1	1	0	0	1	1	0
3	0	0	1	1	x	x	x	x	x	x	x	x
4	0	1	0	0	1	1	0	0	1	1	0	0
5	0	1	0	1	0	1	0	0	0	1	0	0
6	0	1	1	0	0	1	1	1	0	1	1	1
7	0	1	1	1	0	1	0	1	0	1	0	1
8	1	0	0	0	x	x	x	x	x	x	x	x
9	1	0	0	1	x	x	x	x	x	x	x	x
10	1	0	1	0	0	0	1	0	0	0	1	0
11	1	0	1	1	x	x	x	x	x	x	x	x
12	1	1	0	0	1	1	0	1	1	1	0	1
13	1	1	0	1	1	1	1	1	1	1	1	1
14	1	1	1	0	1	0	1	0	1	0	1	0
15	1	1	1	1	1	1	1	0	1	1	1	0

Debo resolver los 4 mapas K.

Ventaja: 4 mapas (D) vs 8 (JK).

Desventaja: generalmente funciones más complejas (D).

Contadores Sincrónicos – Síntesis – MT

Planteamos 4 mapas K de los D_i y obtenemos las soluciones:

Q_3Q_2	Q_1Q_0	00	01	11	10
00		x	x	x	0
01		1	0	0	0
11		1	1	1	1
10		x	x	x	0

$$D_3 = \bar{Q}_1 \bar{Q}_0 + Q_3 Q_2$$

Q_3Q_2	Q_1Q_0	00	01	11	10
00		x	x	x	1
01		1	1	1	1
11		1	1	1	0
10		x	x	x	0

$$D_2 = \bar{Q}_3 + \bar{Q}_1 + Q_0$$

Q_3Q_2	Q_1Q_0	00	01	11	10
00		x	x	x	1
01		0	0	0	1
11		0	1	1	1
10		x	x	x	1

$$D_1 = Q_3 Q_0 + Q_1 \bar{Q}_0$$

Q_3Q_2	Q_1Q_0	00	01	11	10
00		x	x	x	0
01		0	0	1	1
11		1	1	0	0
10		x	x	x	0

$$D_0 = \bar{Q}_3 Q_2 Q_1 + Q_3 \bar{Q}_1$$

Contadores Sincrónicos – Síntesis – MEC

Planteamos 4 mapas K de los Q_i^{n+1} y los resolvemos en función de la ecuación característica del JK:

$$Q_i^{n+1} = J_i \bar{Q}_i + \bar{K}_i Q_i$$

Q_3Q_2	Q_1Q_0	00	01	11	10
00	x	x	x	0	
01	1	0	0	0	
11	1	1	1	1	
10	x	x	x	0	

$$Q_3^{n+1} = (\bar{Q}_1 \bar{Q}_0) \bar{Q}_3 + Q_2 Q_3$$

$$J_3 = \bar{Q}_1 \bar{Q}_0 \quad K_3 = \bar{Q}_2$$

Q_3Q_2	Q_1Q_0	00	01	11	10
00	x	x	x	1	
01	1	1	1	1	
11	1	1	1	0	
10	x	x	x	0	

$$Q_2^{n+1} = \bar{Q}_3 \bar{Q}_2 + (\bar{Q}_3 + \bar{Q}_1 + Q_0) Q_2$$

$$J_2 = \bar{Q}_3 \quad K_2 = Q_3 Q_1 \bar{Q}_0$$

Q_3Q_2	Q_1Q_0	00	01	11	10
00	x	x	x	1	
01	0	0	0	1	
11	0	1	1	1	
10	x	x	x	1	

$$Q_1^{n+1} = Q_3 Q_0 \bar{Q}_1 + (Q_3 + \bar{Q}_0) Q_1$$

$$J_1 = Q_3 Q_0 \quad K_1 = \bar{Q}_3 Q_0$$

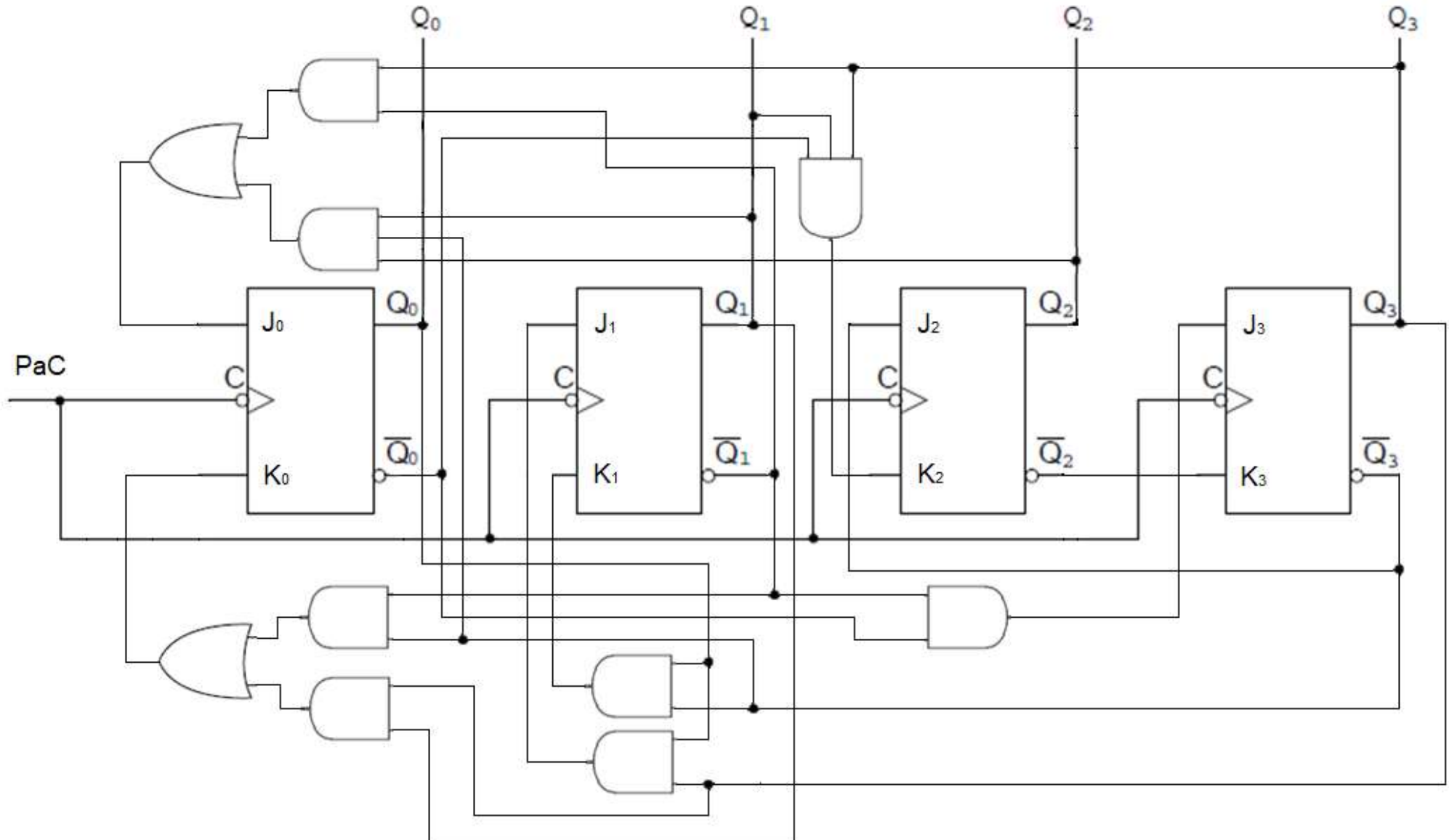
Q_3Q_2	Q_1Q_0	00	01	11	10
00	x	x	x	0	
01	0	0	1	1	
11	1	1	0	0	
10	x	x	x	0	

$$Q_0^{n+1} = (\bar{Q}_3 Q_2 Q_1 + Q_3 \bar{Q}_1) \bar{Q}_0 + (Q_3 \bar{Q}_1 + \bar{Q}_3 Q_1) Q_0$$

$$J_0 = \bar{Q}_3 Q_2 Q_1 + Q_3 \bar{Q}_1 \quad K_0 = \bar{Q}_3 \bar{Q}_1 + Q_3 Q_1$$

Contadores Sincrónicos – Síntesis – MEC

El circuito es el mismo que obtuvimos por el método de las Transiciones:



Contadores Sincrónicos U/D – Síntesis

Otro ejemplo: Diseñar un contador **binario natural** de módulo **M = 6**, que mediante una entrada x , pueda contar en forma ascendente o descendente. En caso que salga del código **asegurar que vuelva al mismo**.

La TV quedará como sigue:

$Q_3 Q_2 Q_1$

0 000
1 001
2 010
3 011
4 100
5 101
0 000

Debo elegir **tipo** de FF y **método** de diseño: elijo JK y MEC.

	x	Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	0	0	1
1	0	0	0	1	0	1	0
2	0	0	1	0	0	1	1
3	0	0	1	1	1	0	0
4	0	1	0	0	1	0	1
5	0	1	0	1	0	0	0
6	0	1	1	0	0	0	0
7	0	1	1	1	0	0	0
0	1	0	0	0	1	0	1
1	1	0	0	1	0	0	0
2	1	0	1	0	0	0	1
3	1	0	1	1	0	1	0
4	1	1	0	0	0	1	1
5	1	1	0	1	1	0	0
6	1	1	1	0	0	0	0
7	1	1	1	1	0	0	0

Contadores Sincrónicos U/D – Síntesis

Ahora planteamos los 3 mapas K de los Q_i^{n+1} y los resolvemos en función de la ecuación característica del JK:

$$Q_i^{n+1} = J_i \bar{Q}_i + \bar{K}_i Q_i$$

x_{Q2}	Q_1Q_0	00	01	11	10
00	0	0	1	0	
01	1	0	0	0	
11	0	1	0	0	
10	1	0	0	0	

x_{Q2}	Q_1Q_0	00	01	11	10
00	0	1	0	1	
01	0	0	0	0	
11	1	0	0	0	
10	0	0	1	0	

x_{Q2}	Q_1Q_0	00	01	11	10
00	1	0	0	1	
01	1	0	0	0	
11	1	0	0	0	
10	1	0	0	1	

$$Q_2^{n+1} = (\bar{x} Q_1 Q_0 + x \bar{Q}_1 \bar{Q}_0) \bar{Q}_2 + (\bar{x} \bar{Q}_1 \bar{Q}_0 + x \bar{Q}_1 Q_0) Q_2$$

$$Q_1^{n+1} = (\bar{x} \bar{Q}_2 Q_0 + x Q_2 \bar{Q}_0) \bar{Q}_1 + (\bar{x} \bar{Q}_2 \bar{Q}_0 + x \bar{Q}_2 Q_0) Q_1$$

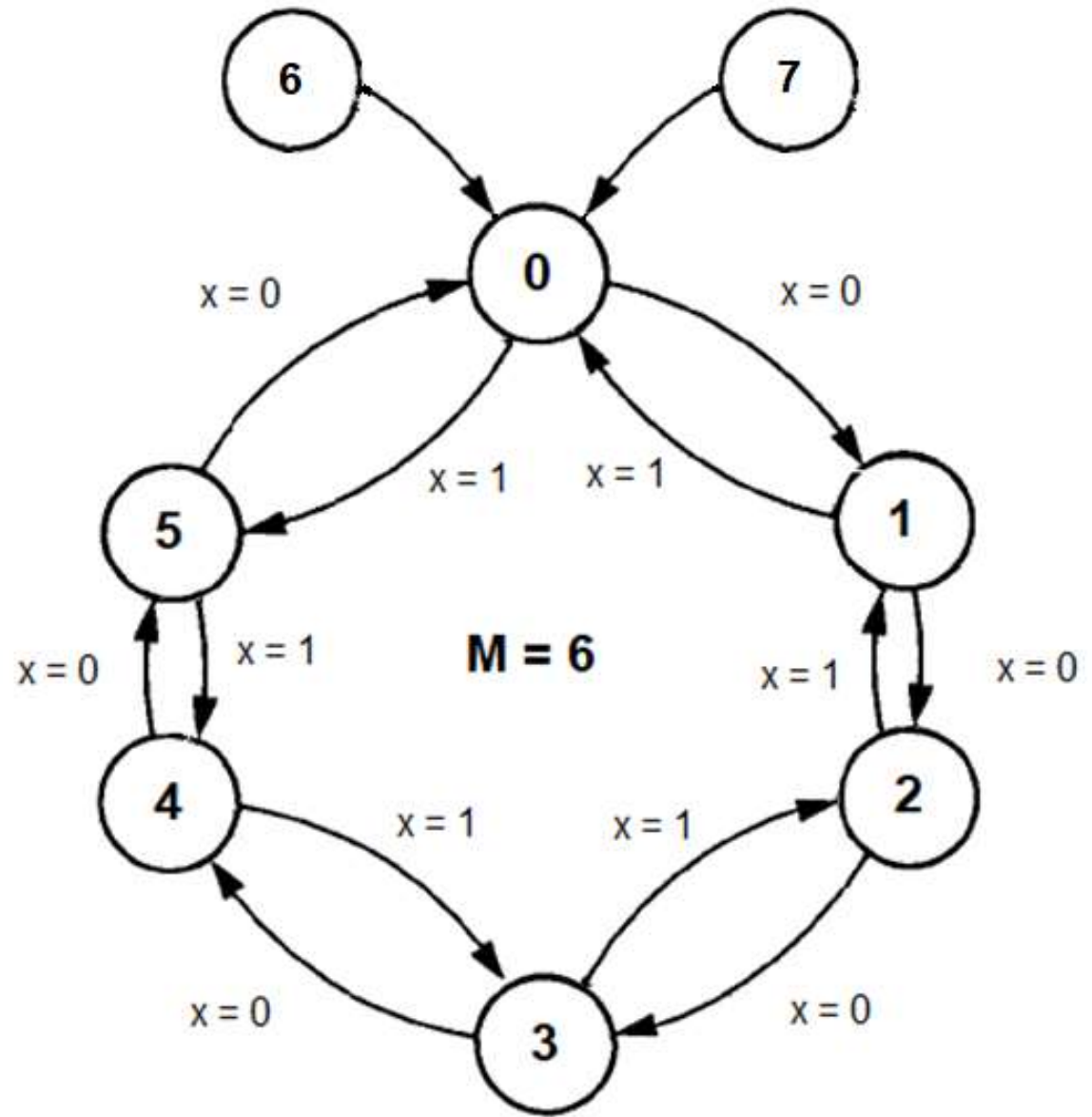
$$Q_0^{n+1} = (\bar{Q}_2 + \bar{Q}_1) \bar{Q}_0 + 0 Q_0$$

Contadores Sincrónicos U/D – Síntesis

El diagrama de estados quedará:

	Q_3	Q_2	Q_1
0	0	0	0
1	1	0	0
2	0	1	0
3	0	1	1
4	1	0	0
5	<u>1</u>	<u>0</u>	<u>1</u>
6	0	0	0
7	0	0	0

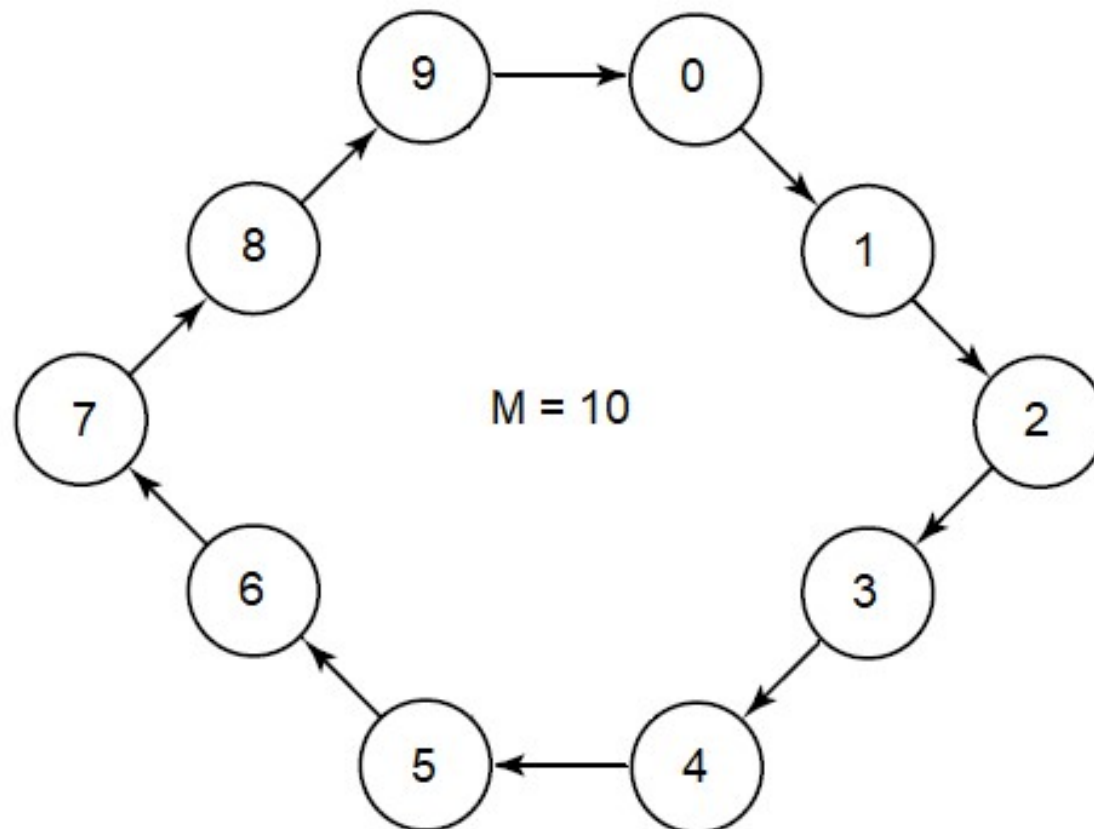
En la TV hemos forzado a los estados 6 y 7 (para ambos valores de la entrada x) a que evolucionen hacia el estado 0.



Contadores Sincrónicos – Análisis

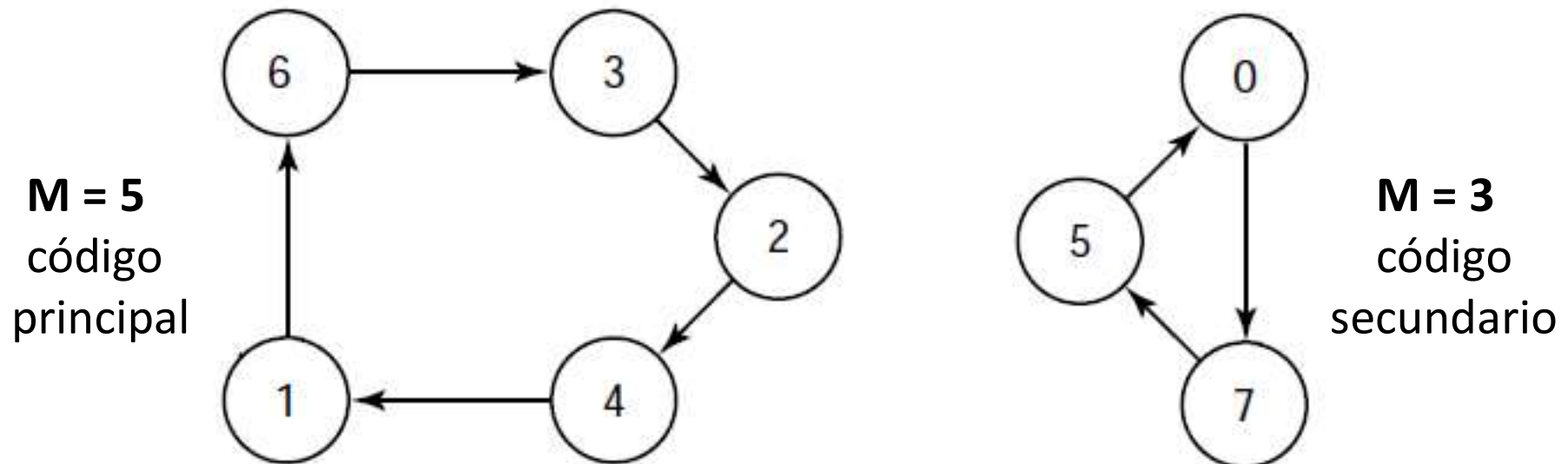
Analizar implica que, **a partir del circuito** debemos obtener el **módulo**, **código** y **diagrama** de estados **completo**. En muchos casos es importante **analizar** qué ocurre con los **estados que no pertenecen al código**.

En este ejemplo con 4 biestables, hay 6 estados (del 10 al 15) que no pertenecen al código, podría haber **códigos secundarios** o transiciones hasta **regresar** al código.



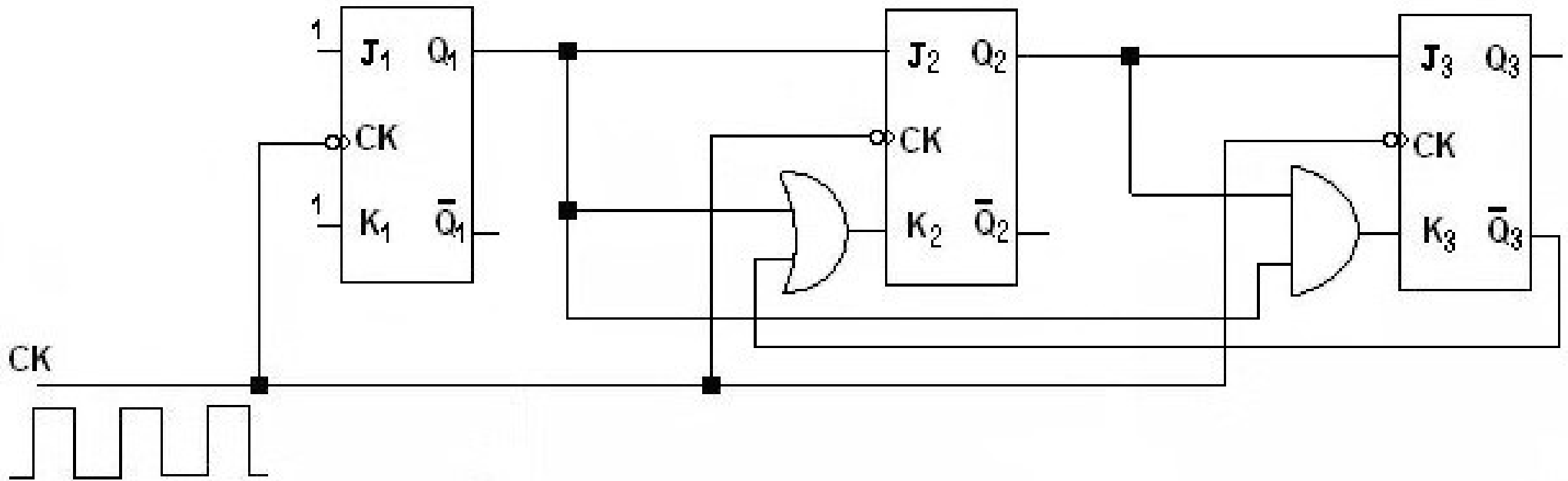
Contadores Sincrónicos – Análisis

En este contador vemos que hay un **código secundario**, si por alguna razón cae en alguno de los estados de ese código, continuará en ese código secundario en forma indefinida.



Contadores Sincrónicos – Análisis

Ejemplo. A partir del circuito, debemos obtener el módulo, código y diagrama de estados **completo** del contador síncrono dado.



Comienzo planteando las **ecuaciones** de las **entradas** de los **biestables**, en este caso:

$$J_3 = Q_2$$

$$J_2 = Q_1$$

$$J_1 = 1$$

$$K_3 = Q_1 Q_2$$

$$K_2 = Q_1 + \bar{Q}_3$$

$$K_1 = 1$$

Contadores Sincrónicos – Análisis

A partir del **estado actual** obtengo las **entradas** actuales de los biestables y luego el **próximo estado**. Comienzo por ejemplo con el estado 0.

$$J_3 = Q_2$$

$$J_2 = Q_1$$

$$J_1 = 1$$

$$K_3 = Q_1 Q_2$$

$$K_2 = Q_1 + \bar{Q}_3$$

$$K_1 = 1$$

J	K	Q _{n+1}
0	0	Q _n
0	1	0
1	0	1
1	1	not Q _n

En rojo el estado en binario.

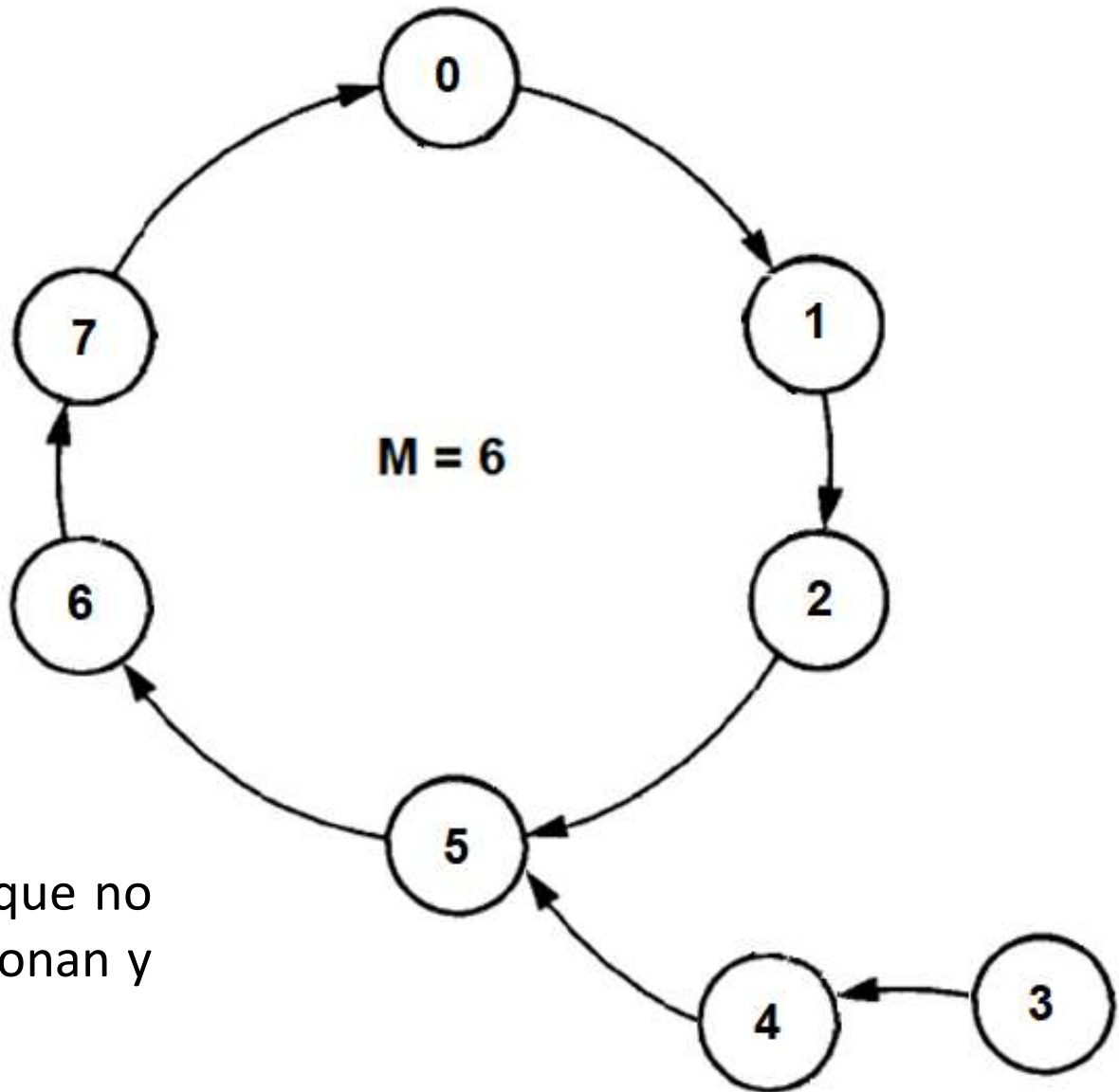
	<u>Q₃</u> <u>Q₂</u> <u>Q₁</u>	<u>J₃</u> <u>K₃</u> <u>J₂</u> <u>K₂</u> <u>J₁</u> <u>K₁</u>
0	0 0 0	0 0 0 1 1 1
1	0 0 1	0 0 1 1 1 1
2	0 1 0	1 0 0 1 1 1
5	1 0 1	0 0 1 1 1 1
6	1 1 0	1 0 0 0 1 1
7	<u>1 1 1</u>	1 1 1 1 1 1
0	0 0 0	M = 6

	<u>Q₃</u> <u>Q₂</u> <u>Q₁</u>	<u>J₃</u> <u>K₃</u> <u>J₂</u> <u>K₂</u> <u>J₁</u> <u>K₁</u>
3	0 1 1	1 1 1 1 1 1
4	1 0 0	0 0 0 0 1 1
5	1 0 1	regresa al código

Contadores Sincrónicos – Análisis

Nominando a los **estados** por su número en **binario**, el diagrama quedará:

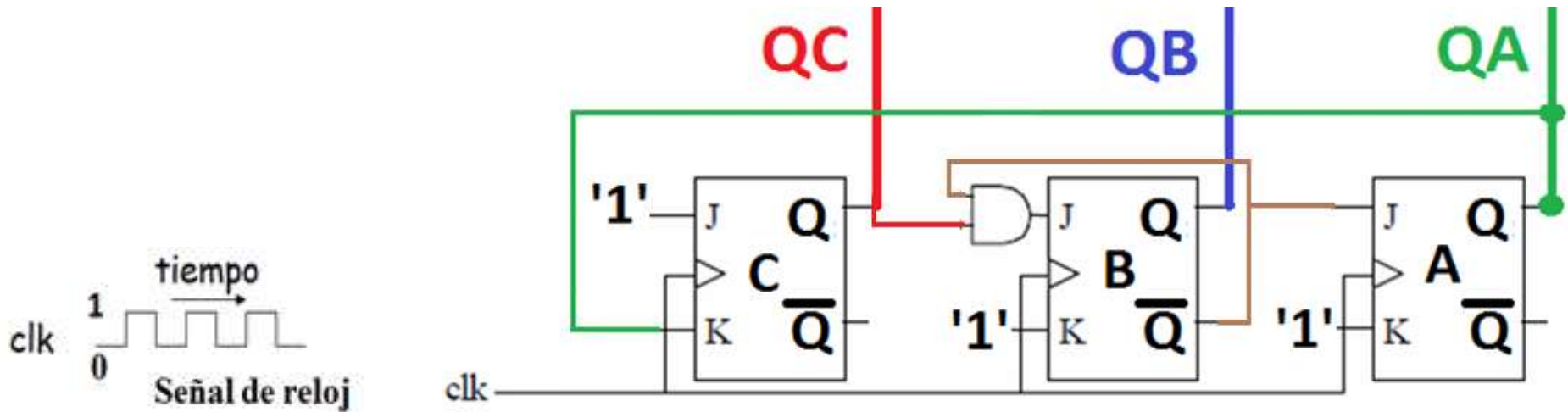
	$Q_3Q_2Q_1$
0	000
1	001
2	010
5	101
6	110
7	<u>111</u>
0	000



Vimos que los estados 3 y 4 que no pertenecen al código, evolucionan y **regresan** al mismo.

Contadores Sincrónicos – Análisis

Otro ejemplo pero con una metodología de trabajo distinta.



$$J_C = 1$$

$$J_B = Q_C \bar{Q}_B$$

$$J_A = \bar{Q}_B$$

$$K_C = Q_A$$

$$K_B = 1$$

$$K_A = 1$$

J	K	Q _{n+1}
0	0	Q _n
0	1	0
1	0	1
1	1	not Q _n

Contadores Sincrónicos – Análisis

Construimos la TV a partir del **estado actual** obteniendo las **entradas** actuales de los biestables y a diferencia de antes, el **próximo estado** lo agrego a la TV.

$$J_C = 1$$

$$J_B = Q_C \bar{Q}_B$$

$$J_A = \bar{Q}_B$$

$$K_C = Q_A$$

$$K_B = 1$$

$$K_A = 1$$

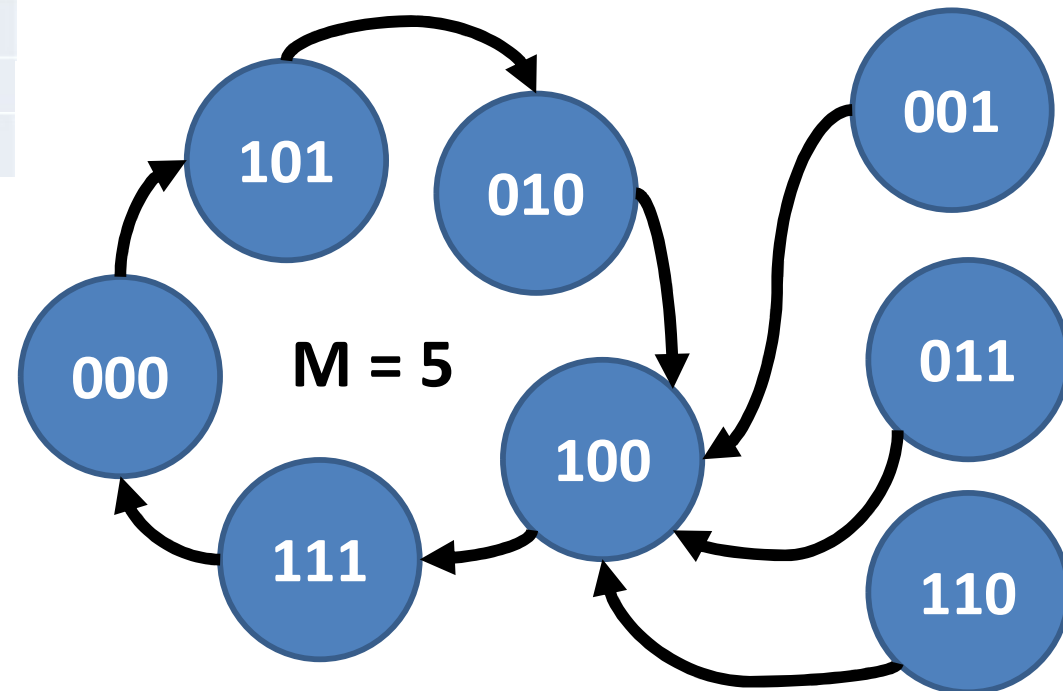
J	K	Q _{n+1}
0	0	Q _n
0	1	0
1	0	1
1	1	not Q _n

Q _n C	Q _n B	Q _n A	J _C	K _C	J _B	K _B	J _A	K _A	Q _{n+1} C	Q _{n+1} B	Q _{n+1} A
0	0	0	1	0	0	1	1	1	1	0	1
0	0	1	1	1	0	1	1	1	1	0	0
0	1	0	1	0	0	1	0	1	1	0	0
0	1	1	1	1	0	1	0	1	1	0	0
1	0	0	1	0	1	1	1	1	1	1	1
1	0	1	1	1	1	1	1	1	0	1	0
1	1	0	1	0	0	1	0	1	1	0	0
1	1	1	1	1	0	1	0	1	0	0	0

Contadores Sincrónicos – Análisis

Ahora construimos el **diagrama de estados**.

$Q_n C$	$Q_n B$	$Q_n A$	$Q_{n+1} C$	$Q_{n+1} B$	$Q_{n+1} A$
0	0	0	1	0	1
0	0	1	1	0	0
0	1	0	1	0	0
0	1	1	1	0	0
1	0	0	1	1	1
1	0	1	0	1	0
1	1	0	1	0	0
1	1	1	0	0	0



Contadores Sincrónicos – Análisis

Analizaremos con la primer metodología qué ocurre con los **estados no utilizados** del contador **BCD Gray XS-3** diseñado anteriormente.

$$J_3 = \bar{Q}_1 \bar{Q}_0$$

$$J_2 = \bar{Q}_3$$

$$J_1 = Q_3 Q_0$$

$$J_0 = \bar{Q}_3 Q_2 Q_1 + Q_3 \bar{Q}_1$$

$$K_3 = \bar{Q}_2$$

$$K_2 = Q_3 Q_1 \bar{Q}_0$$

$$K_1 = \bar{Q}_3 Q_0$$

$$K_0 = \bar{Q}_3 \bar{Q}_1 + Q_3 Q_1$$

0	0 0 1 0	2
1	0 1 1 0	6
2	0 1 1 1	7
3	0 1 0 1	5
4	0 1 0 0	4
5	1 1 0 0	12
6	1 1 0 1	13
7	1 1 1 1	15
8	1 1 1 0	14
9	1 0 1 0	10

	<u>Q₃</u> <u>Q₂</u> <u>Q₁</u> <u>Q₀</u>	<u>J₃</u> <u>K₃</u>	<u>J₂</u> <u>K₂</u>	<u>J₁</u> <u>K₁</u>	<u>J₀</u> <u>K₀</u>
0	0 0 0 0	1 1	1 0	0 0	0 1
12	1 1 0 0	regresa al código			

8	1 0 0 0	1 1	0 0	0 0	1 0
1	0 0 0 1	0 1	1 0	0 1	0 0
5	0 1 0 1	regresa al código			

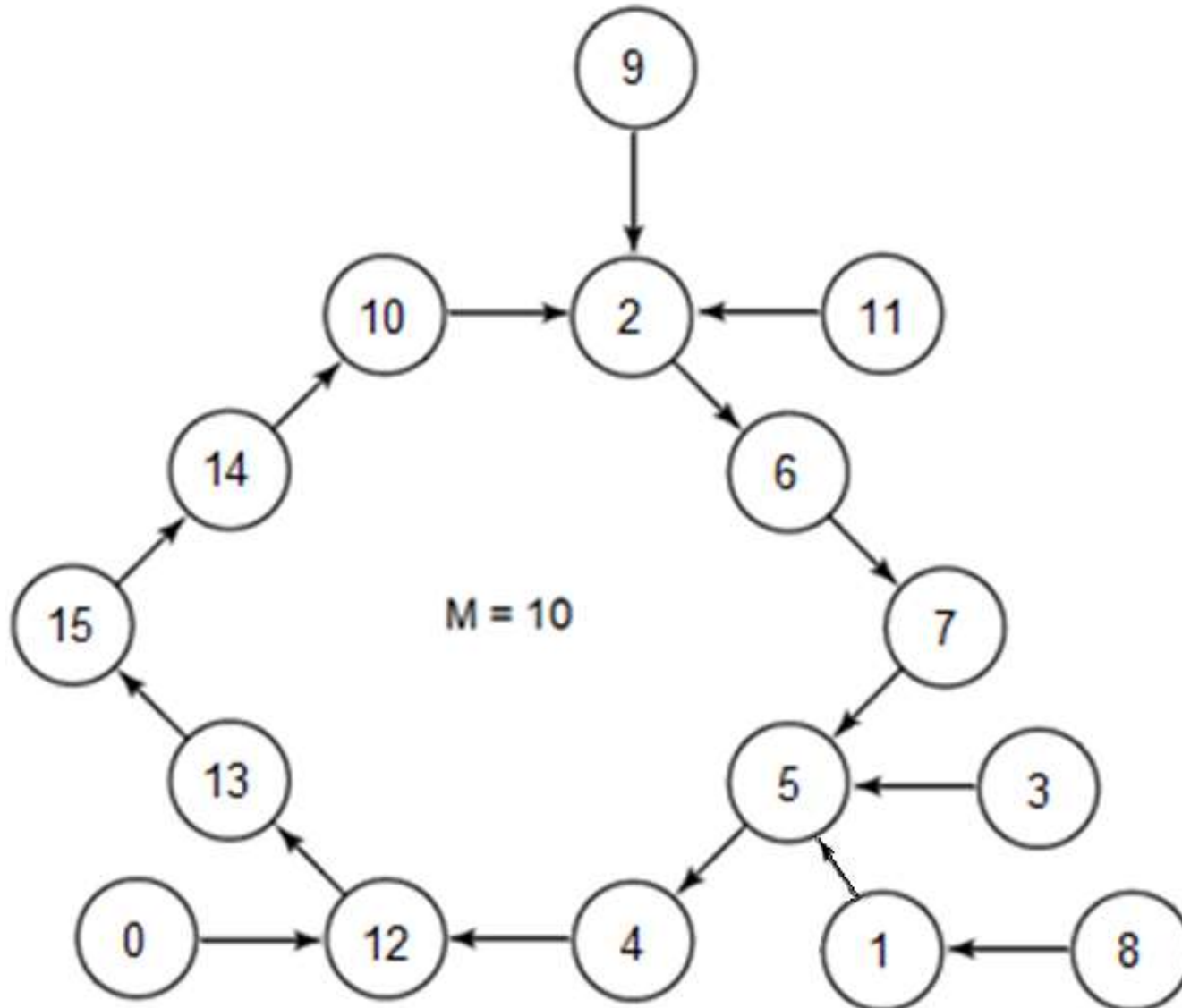
3	0 0 1 1	0 1	1 0	0 1	0 0
5	0 1 0 1	regresa al código			

	<u>Q₃</u> <u>Q₂</u> <u>Q₁</u> <u>Q₀</u>	<u>J₃</u> <u>K₃</u>	<u>J₂</u> <u>K₂</u>	<u>J₁</u> <u>K₁</u>	<u>J₀</u> <u>K₀</u>
9	1 0 0 1	0 1	0 0	1 0	0 1
2	0 0 1 0	regresa al código			

11	1 0 1 1	0 1	0 0	1 0	0 1
2	0 0 1 0	regresa al código			

Contadores Sincrónicos – Análisis

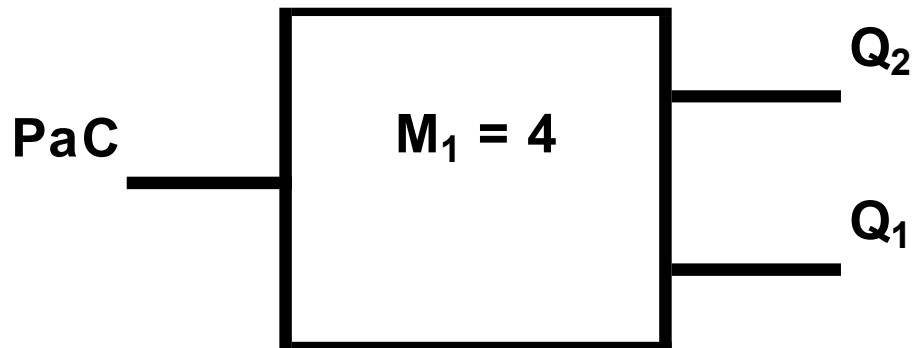
El diagrama de estados **completo** (2^n estados) quedará (expresados en binario):



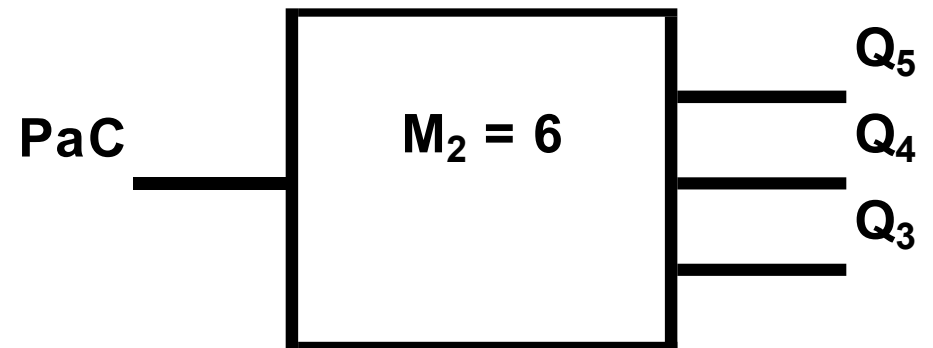
Interconexión de Contadores

¿Qué ocurre si **interconectamos** contadores?

Ejemplo con 2 contadores binarios $M_1 = 4$ y $M_2 = 6$. Supondremos contadores de flanco descendente.



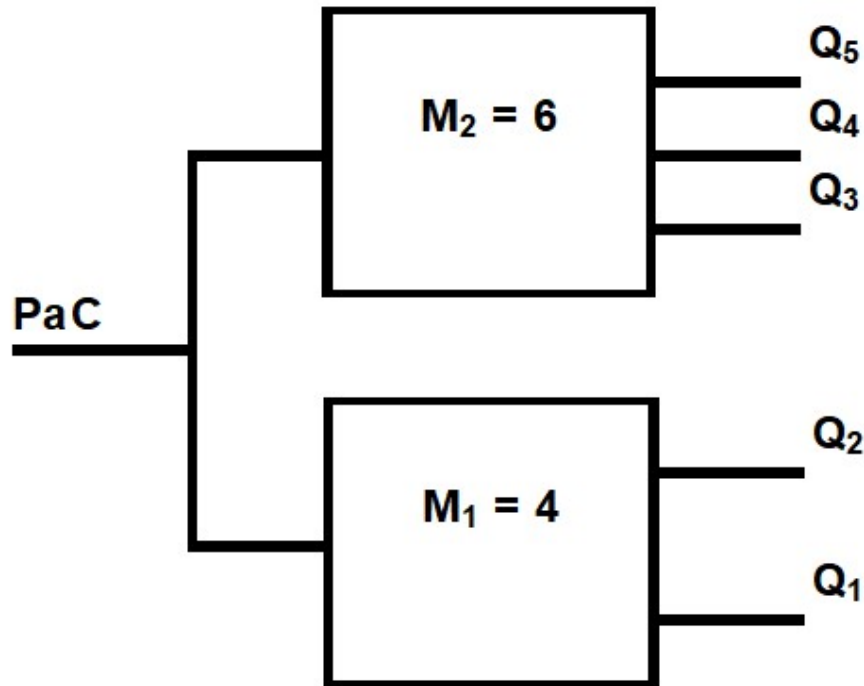
Q_2	Q_1
0	0
0	1
1	0
<u>1</u>	<u>1</u>
0	0



Q_5	Q_4	Q_3
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
<u>1</u>	<u>0</u>	<u>1</u>
0	0	0

Interconexión de Contadores

Acoplando los contadores en forma **sincrónica** tendremos un módulo resultante $M = 12$, esto se debe a que ambos contadores evolucionan en cada pulso.



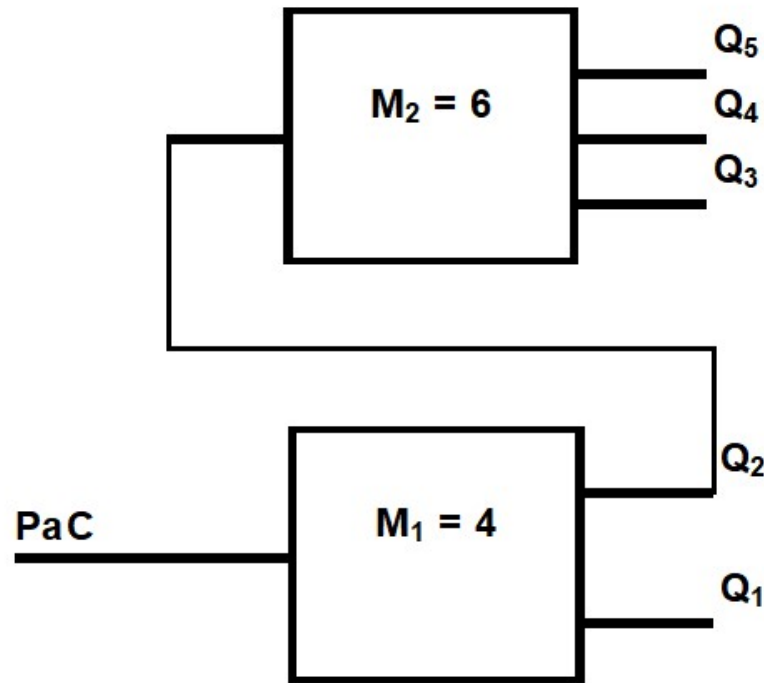
Q_5	Q_4	Q_3	Q_2	Q_1
0	0	0	0	0
0	0	1	0	1
0	1	0	1	0
0	1	1	<u>1</u>	<u>1</u>
1	0	0	0	0
<u>1</u>	<u>0</u>	<u>1</u>	0	1
0	0	0	1	0
0	0	1	<u>1</u>	<u>1</u>
0	1	0	0	0
0	1	1	0	1
1	0	0	1	0
<u>1</u>	<u>0</u>	<u>1</u>	<u>1</u>	<u>1</u>
0	0	0	0	0

Vemos que el módulo resultante es el **mínimo común múltiplo** de los módulos.

$$M = \text{m.c.m.} (M_1, M_2)$$

Interconexión de Contadores

En cambio acoplando en forma **asincrónica**, por ejemplo tomando Q_2 como C_k del contador 2, tendremos $M = 24$.



Vemos que el módulo resultante es el **producto** de los módulos.

$$M = M_1 \cdot M_2$$

El objetivo de la interconexión de contadores es obtener un **módulo mayor**, por lo que la interconexión sincrónica no tiene mucho sentido frente a la asincrónica.

$Q_5 Q_4 Q_3$	$Q_2 Q_1$
0 0 0	0 0
0 0 0	0 1
0 0 0	1 0
0 0 0	<u>1 1</u>
0 0 1	0 0
0 0 1	0 1
0 0 1	1 0
0 0 1	<u>1 1</u>
0 1 0	0 0
0 1 0	0 1
0 1 0	1 0
0 1 0	<u>1 1</u>
0 1 1	0 0
0 1 1	0 1
0 1 1	1 0
0 1 1	<u>1 1</u>
1 0 0	0 0
1 0 0	0 1
1 0 0	1 0
1 0 0	<u>1 1</u>
1 0 1	0 0
1 0 1	0 1
1 0 1	1 0
<u>1 0 1</u>	<u>1 1</u>
0 0 0	0 0

Interconexión de Contadores

Ejemplo CI 7490.

Se trata de un contador **BCD binario** obtenido como la **interconexión asincrónica** de 2 contadores de módulos 2 y 5.



Description:
This package contains a divide-by-two and a divide-by-five counter.

Mode of operation:
The device consists of 4 flip-flops which are connected internally to create one divide-by-2 and one divide-by-5 counters.
All flip-flops have a common reset line controlled by two inputs MR1 and MR2. When both MR1 and MR2 are high the counters are cleared.
Flip-flop 1 is not internally connected to the other stages, thus providing a variety of counter sequences:

- Counting to 10 (BCD): Output Q0 is connected to the Clock 1 input. The input pulses are applied to the Clock 0 input and the divided signal is extracted at Q3. The device counts in binary code up to 9, with the outputs returning to zero on the 10th clock pulse. Pins 2, 3 and 6, 7 must be grounded.
- Divide by 2 and divide by 5: Flip-flop 1 is used as a 2:1 divider and flip-flops 2,3 and 4 are used as a 5:1 divider.
- Symmetrical biquinary divider 10:1: Q3 is connected to Clock 0. Clock 1 is used as the clock input. A symmetrical square-wave with a frequency 1/10 that of the input signal is obtained at output Q0. The flip-flops are triggered on the falling edge of the clock pulse. When inputs MS1 and MS2 are both high the counter is preset to 9.

Reset/set inputs				Outputs			
MR1	MR2	MS1	MS2	Q0	Q1	Q2	Q3
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
L	X	L	X	Counting			
X	L	X	L	Counting			
L	X	X	L	Counting			
X	L	L	X	Counting			

Application:
Counters and dividers 2:1, 5:1 and 10:1

Data:								
Min. guaranteed clock frequency flip-flop 1	MHz	32				3	32	
Min. guaranteed clock frequency flip-flops 2-4	MHz	16				3	16	
Supply Current	mA	32				3.2	9	

Families:	Std	ALS	AS	F	H	L	LS	S
	●					●	●	

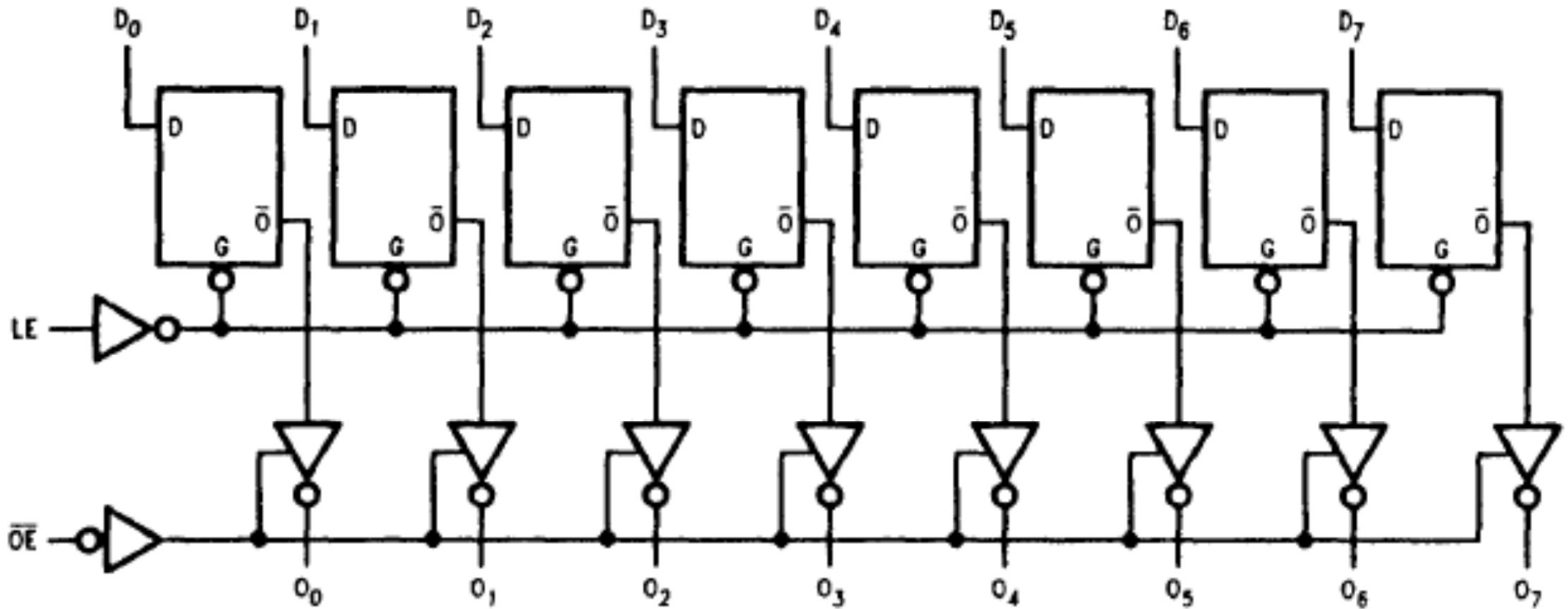
DECADE COUNTER

7490

Registros de almacenamiento

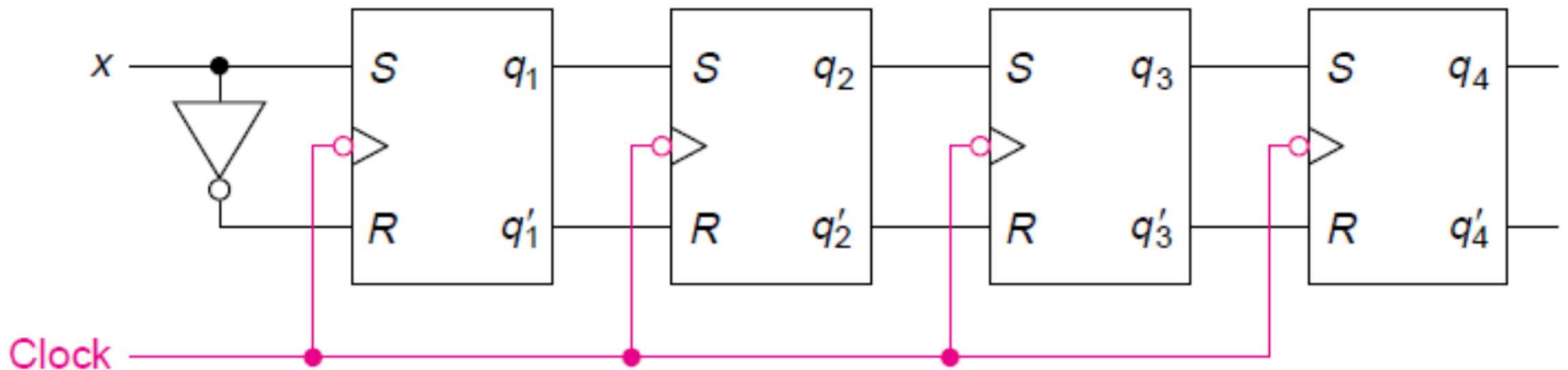
Un registro de **almacenamiento** es un conjunto de celdas básicas de memoria (biestables) que permite **almacenar** la información.

La entrada y la salida de los datos es en **paralelo**. CI 7475.



Registros de desplazamiento (SR)

Un registro de **desplazamiento** (**Shift Register**) es un conjunto de celdas básicas de memoria (biestables) que permite almacenar y **desplazar** (shift) la información ingresada. La **entrada** y la **salida** de los datos es en **serie**.



Asumiendo que se **inicializan** los FF en **0**, si se ingresan **datos** a través de **x**, el diagrama de tiempo será:

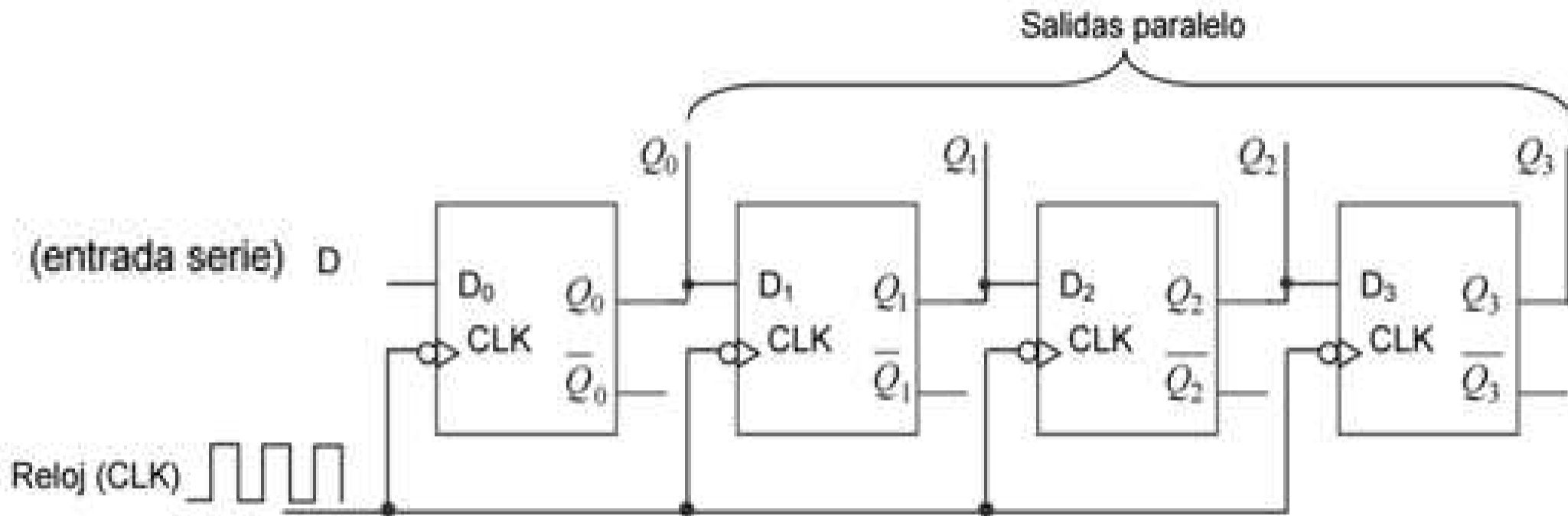
x	1	0	1	1	1	0	1	1	1	1	0	0	0				
q_1	0	1	0	1	1	1	0	1	1	1	1	0	0	0			
q_2	0	0	1	0	1	1	1	0	1	1	1	1	0	0	0		
q_3	0	0	0	1	0	1	1	1	0	1	1	1	1	0	0	0	
q_4	0	0	0	0	1	0	1	1	1	0	1	1	1	1	0	0	0

SR Serie Paralelo

Los **SR (registro de desplazamiento)** son muy útiles para **almacenar y desplazar** datos, pero también para **transformar** palabras de **información en paralelo** a una sucesión de **bits en serie**, o también transformar una sucesión de **datos en serie** en una palabra de **datos en paralelo**.

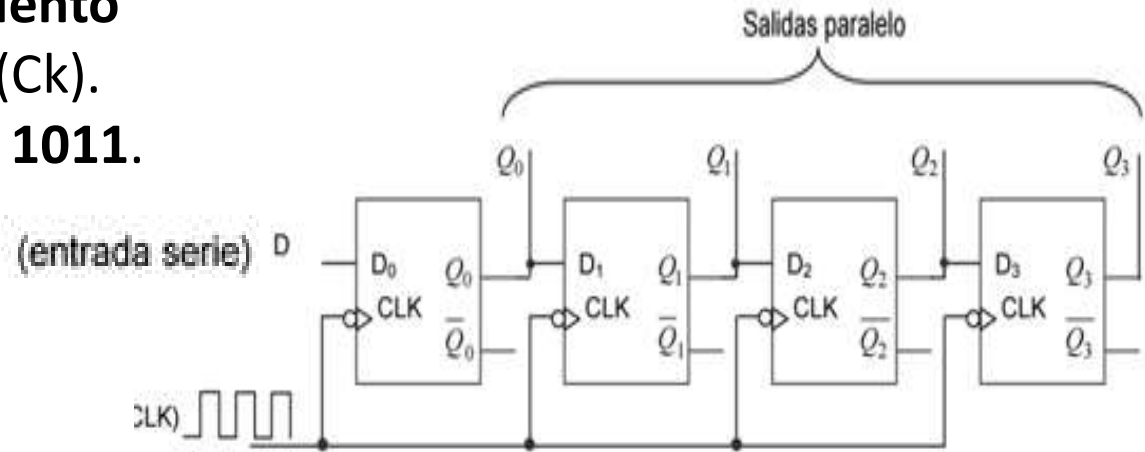
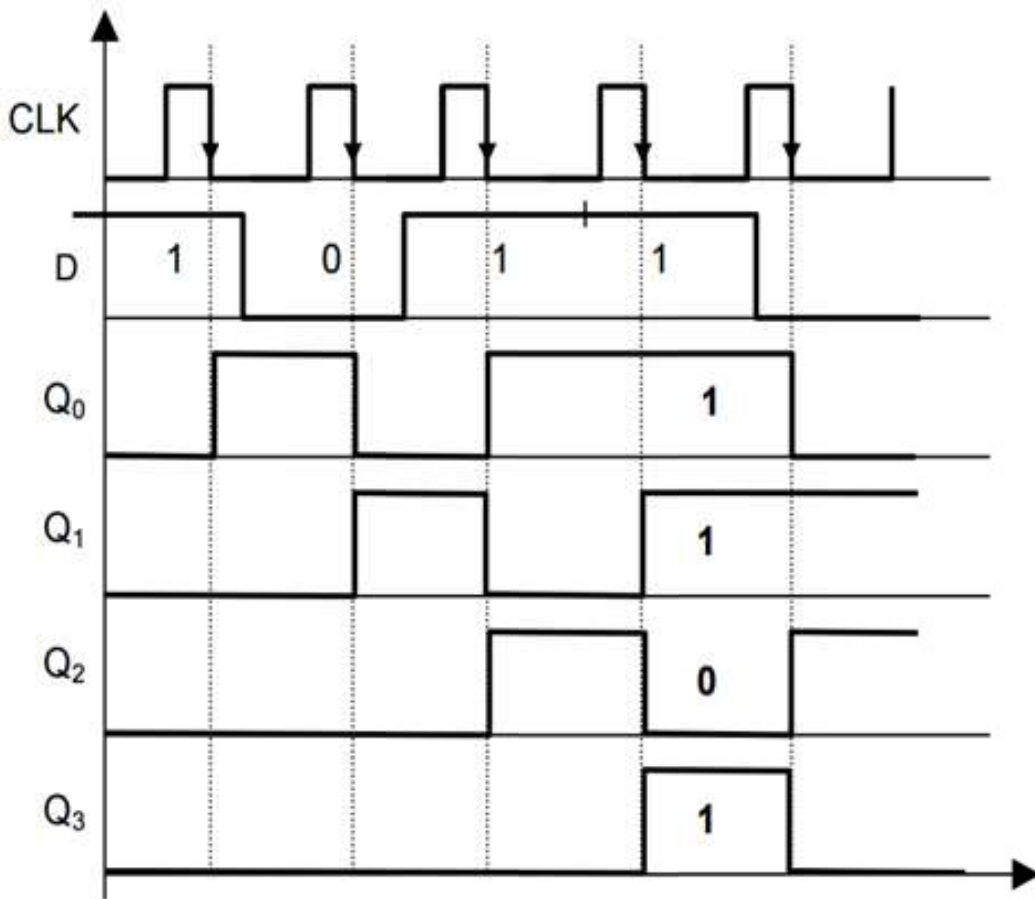
Para implementar un **SR** puedo utilizar **biestables SR, JK o D**.

Aquí vemos un **SR** con **entrada serie y salida paralelo** en base a biestables **D**.



SR Serie Paralelo

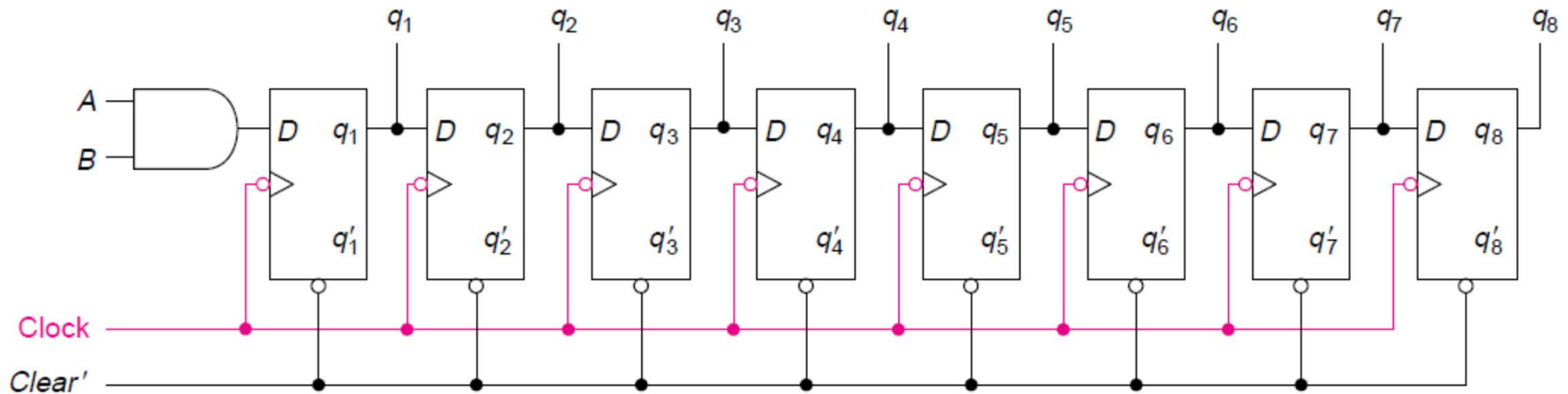
Aquí vemos el **ingreso y desplazamiento** de los datos en función del tiempo (Ck).
Como ejemplo cargaremos en serie **1011**.



D	CLK	Q ₃	Q ₂	Q ₁	Q ₀
1	↓	0	0	0	1
0	↓	0	0	1	0
1	↓	0	1	0	1
1	↓	1	0	1	1

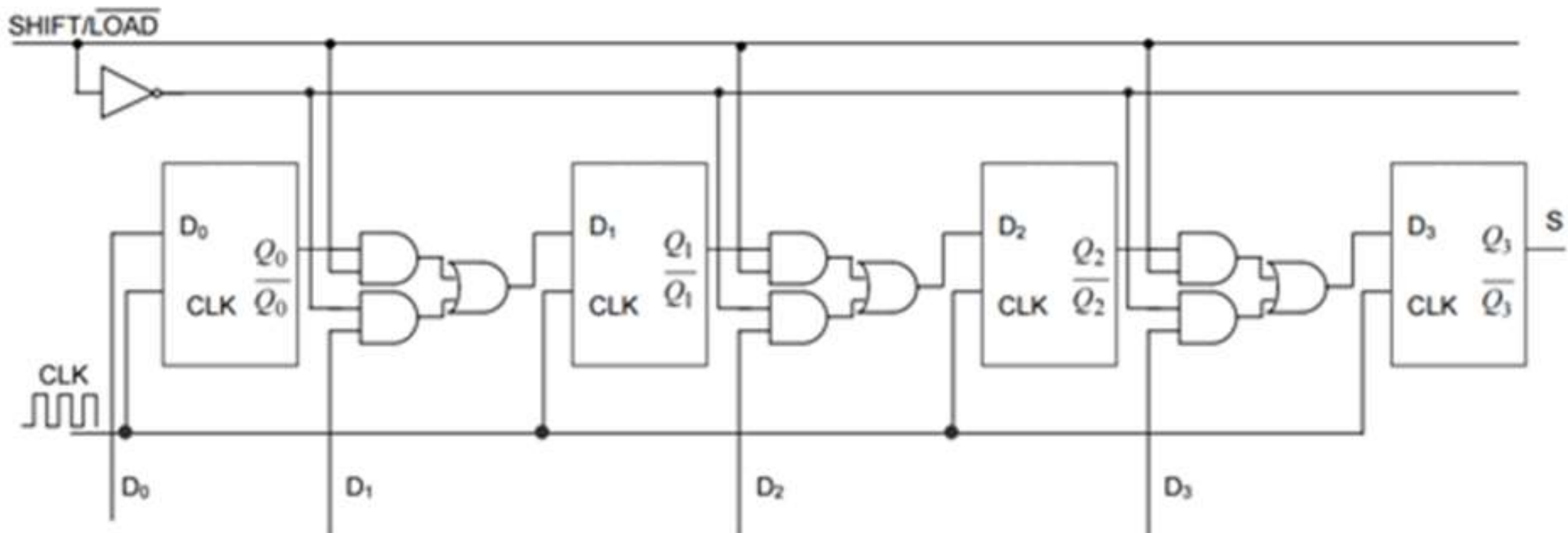
SR Serie Paralelo

Ejemplo. CI 74164. SR con entrada serie y salida paralelo de 8 bits.



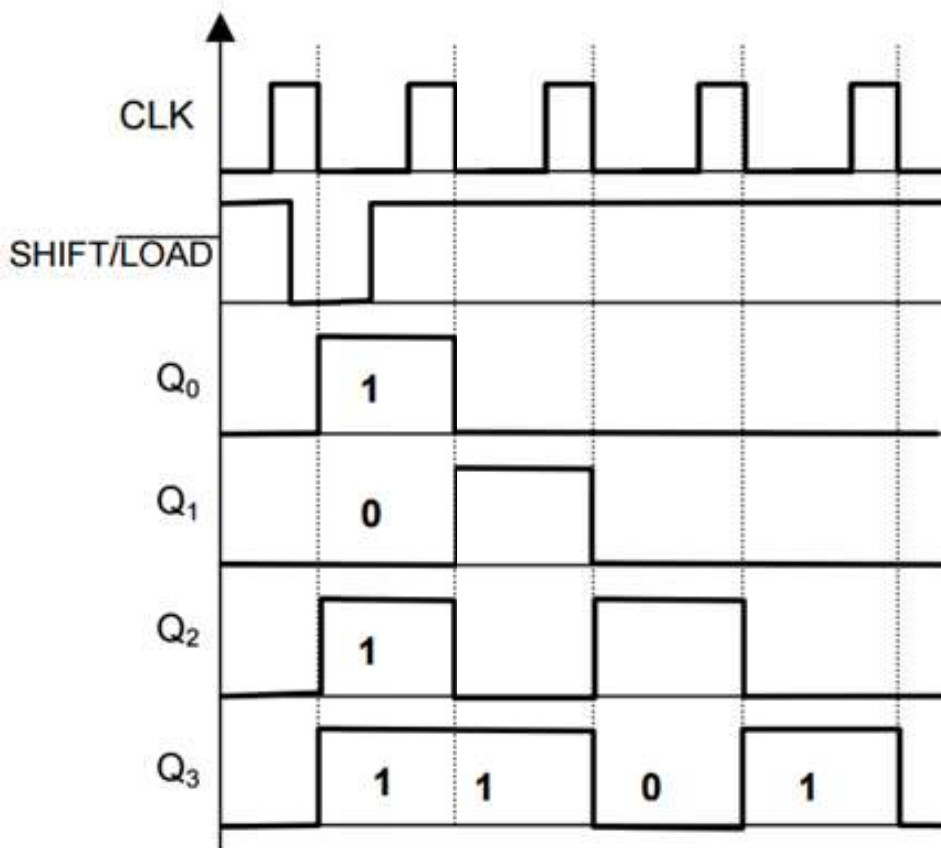
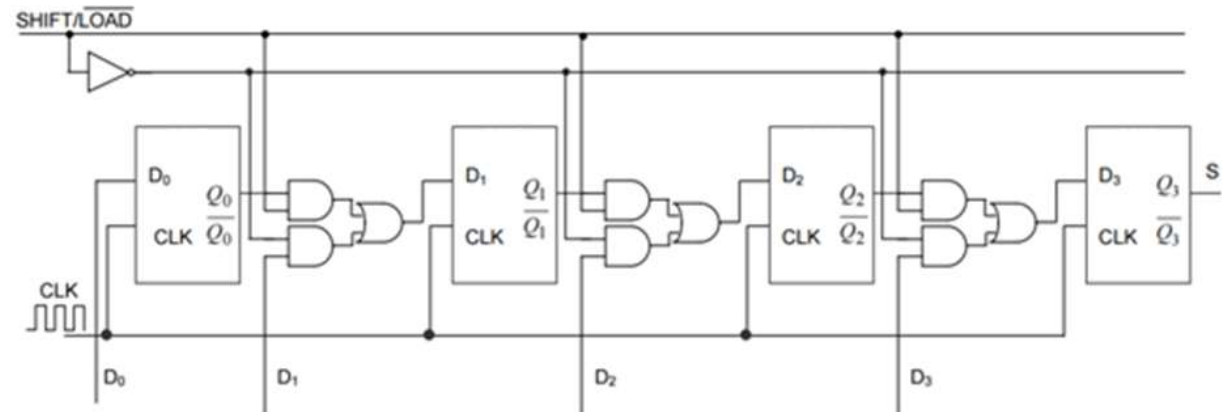
SR Paralelo Serie

Ahora vemos un **SR** con **entrada paralelo y salida serie** en base a biestables **D**.
Mediante una entrada se selecciona **desplazamiento o carga** de datos.
Como ejemplo cargaremos en paralelo **1101 ($D_3D_2D_1D_0$)**.



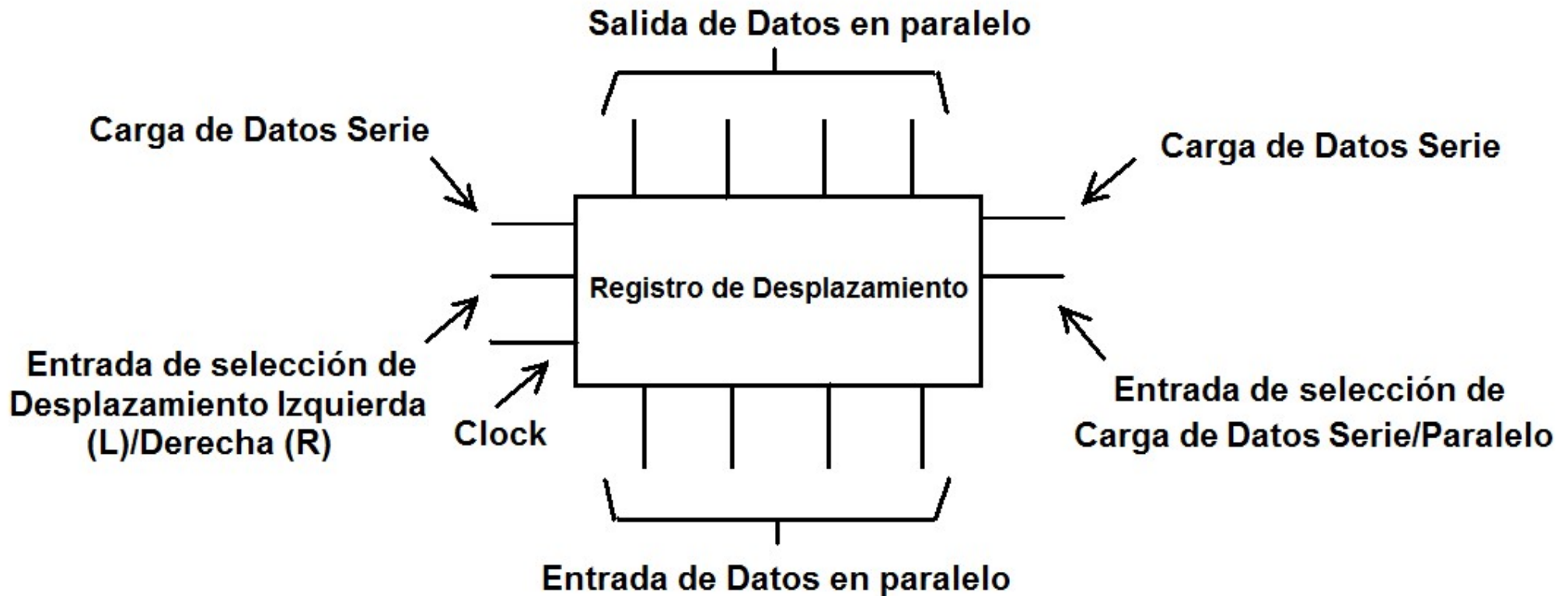
SR Paralelo Serie

Aquí vemos el **ingreso** y **desplazamiento** de los datos del ejemplo en función del tiempo (Ck).



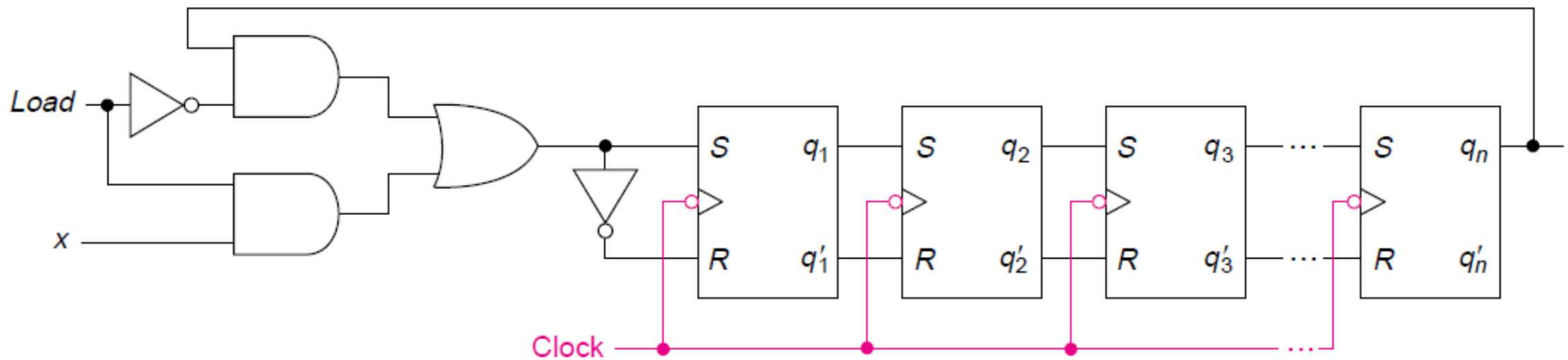
SR Universal

Un **SR universal** permite ingresar y extraer la información tanto en **serie** como en **paralelo**, inclusive en muchos casos es posible seleccionar el **desplazamiento** hacia la **izquierda** o hacia la **derecha**.



SR con realimentación

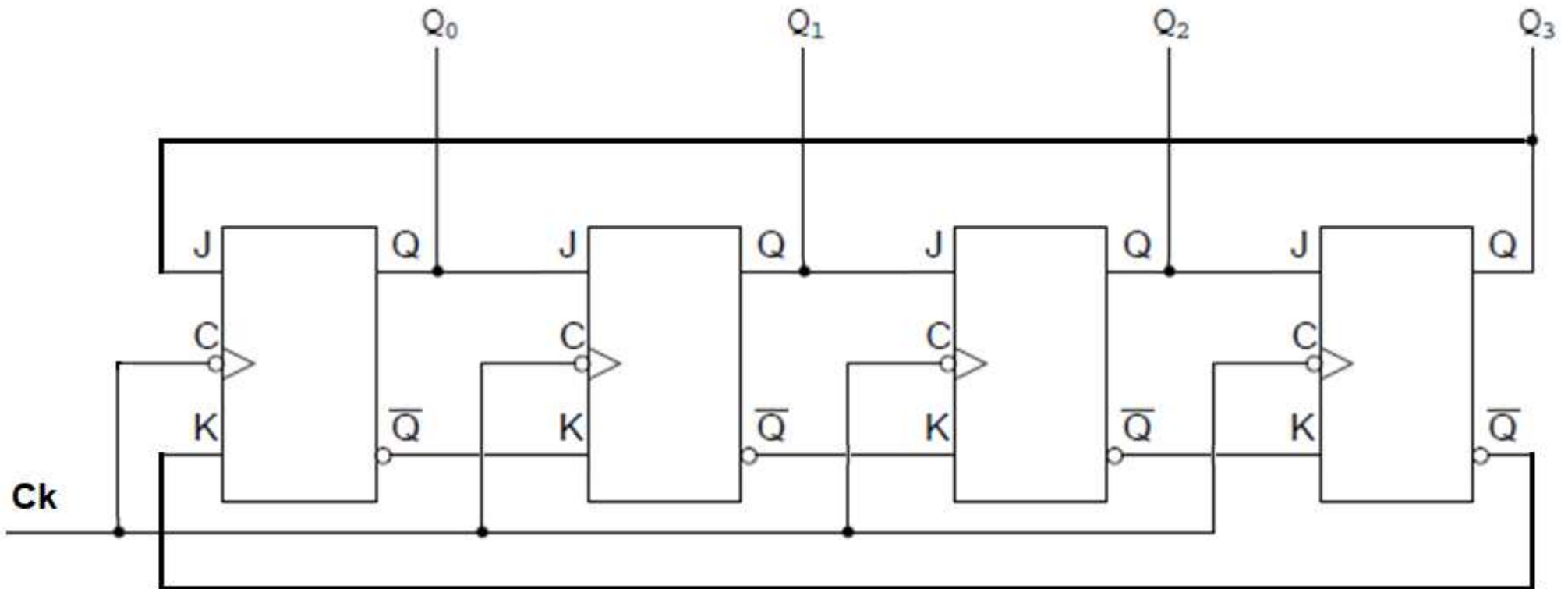
Un SR con **realimentación** permite reingresar el dato presente en la salida del mismo o ingresar datos nuevos según el estado de la entrada **Load**.



Este concepto me permite realizar **contadores** a partir de **registros de desplazamiento**.

Contador en anillo

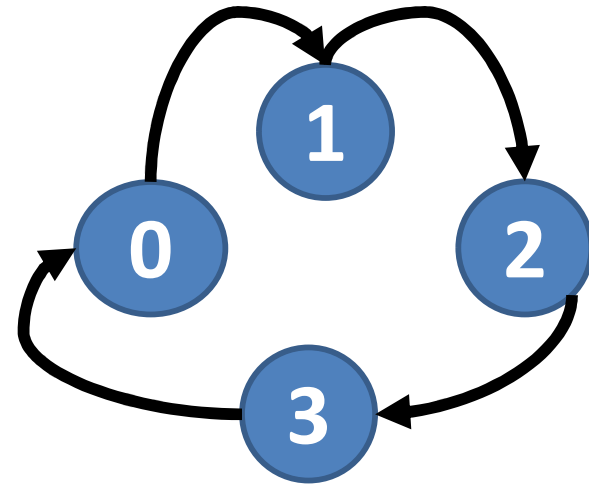
Realimentando un SR implementado con JK, y precargando 0001 ($Q_3Q_2Q_1Q_0$) obtenemos un contador en anillo de módulo $M = 4$.
No se grafica el circuito de precarga (POR).



Contador en anillo

La secuencia de avance de los datos y el diagrama de **estados** serán:

Pulso	Q_3	Q_2	Q_1	Q_0
0	0	0	0	1
1	0	0	1	0
2	0	1	0	0
3	1	0	0	0



Si precargamos dos 1 consecutivos obtendremos otro código de $M = 4$, lo mismo para tres 1 consecutivos. ¿Cuál es el principal?

Generalizando para un contador de anillo, el módulo mayor (principal) es igual a la cantidad de biestables.

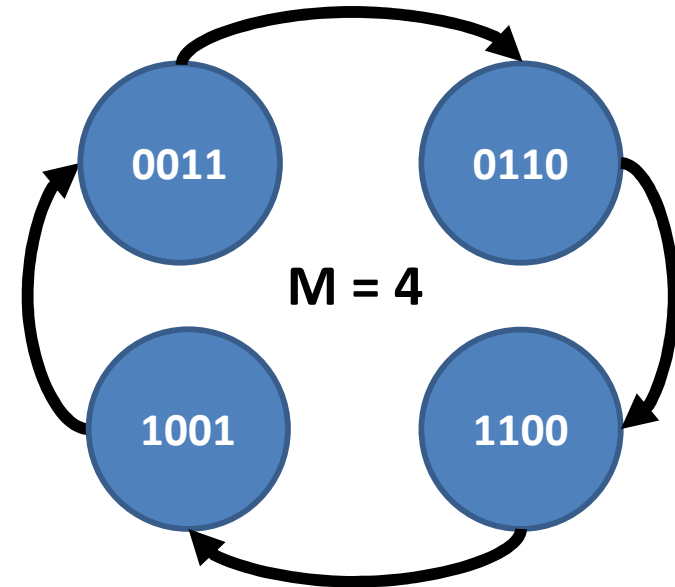
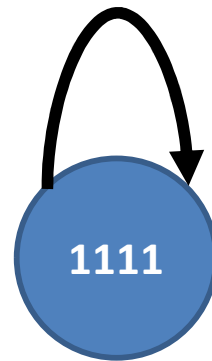
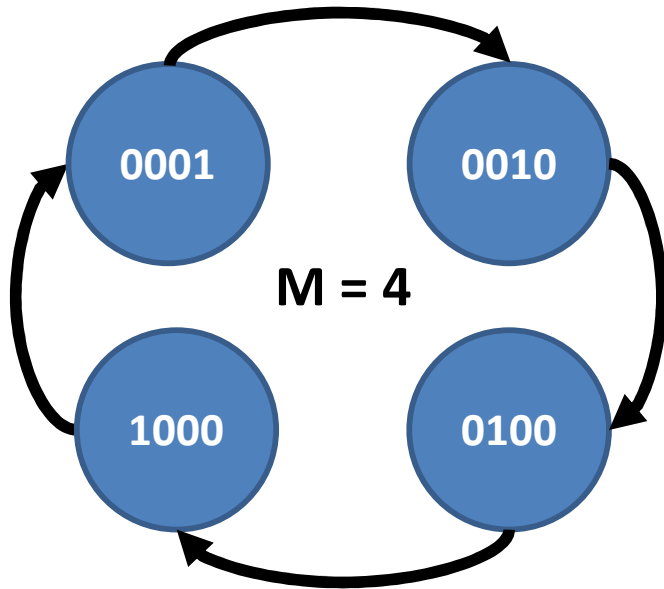
$M = n$ < 2^n >>> siempre hay estados sin usar

Si precargamos o cae en 0101 se formará un código secundario de $M = 2$.

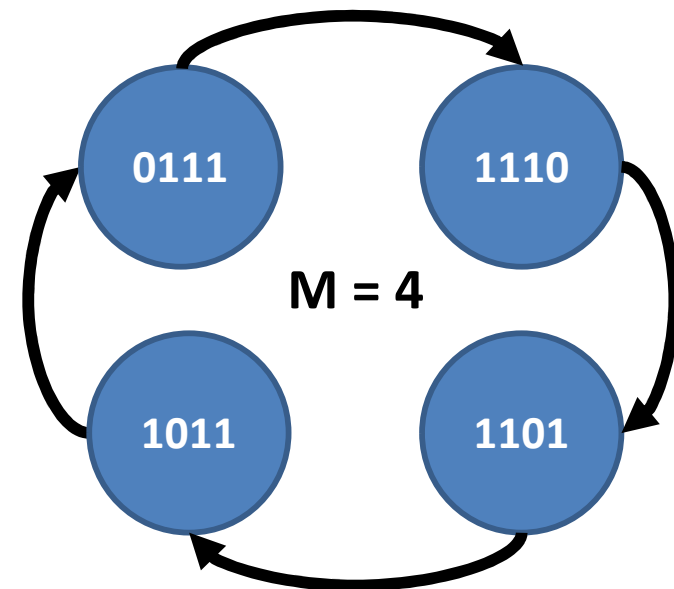
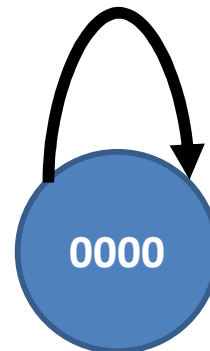
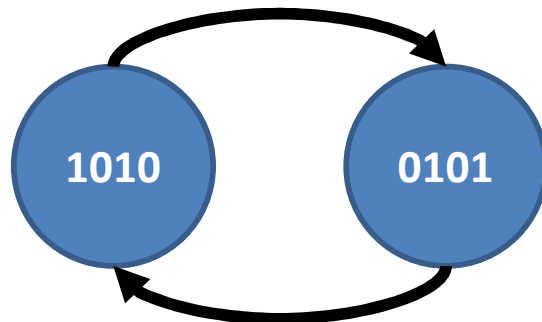
Si cae en 0000 o 1111 quedará en ese estado en forma indefinida.

Contador en anillo

El diagrama de estados completo ($Q_3Q_2Q_1Q_0$).

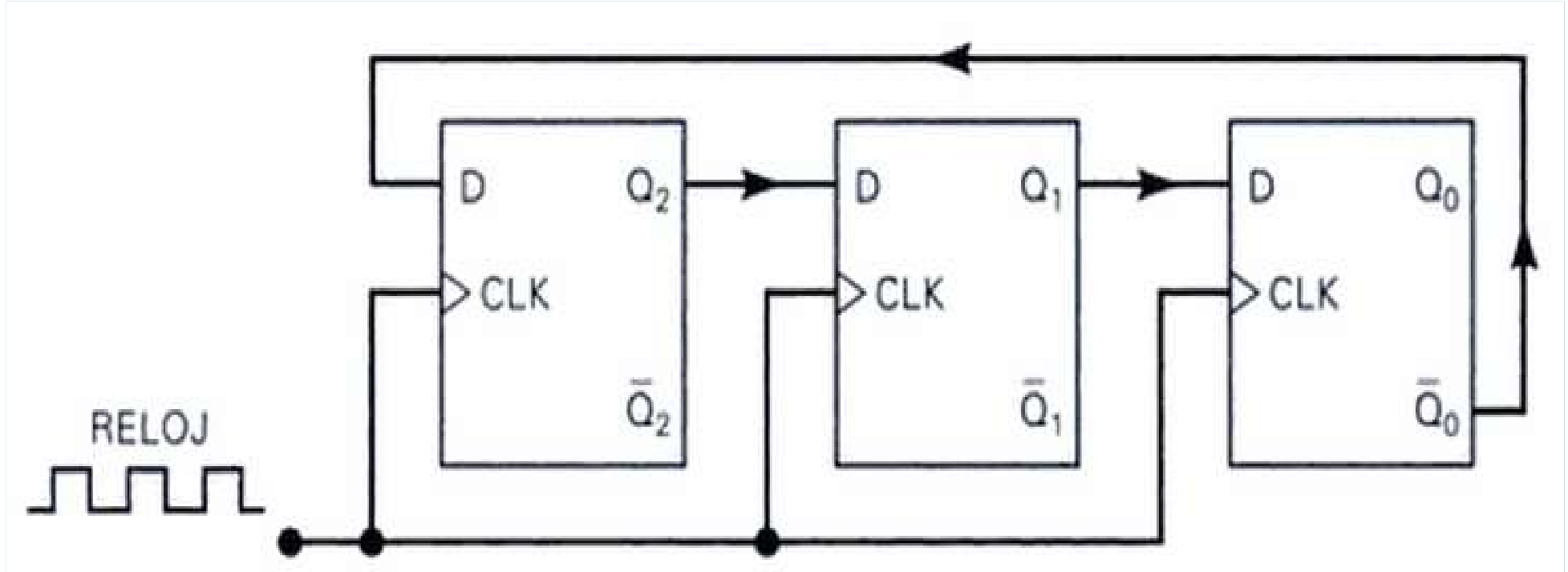


$M = 2$



Contador de Johnson

Si invertimos la realimentación, se obtiene un contador de **Johnson** o de **anillo trenzado**.



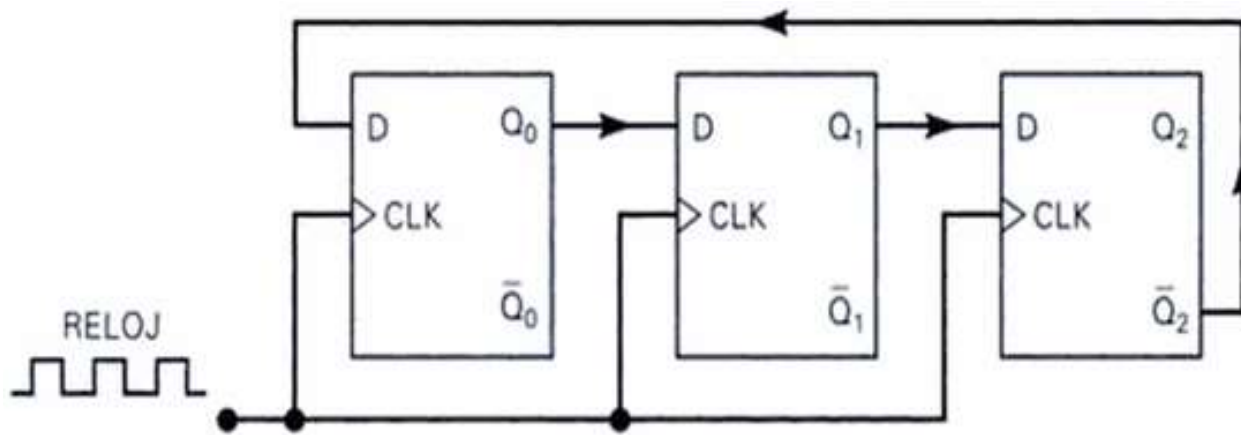
Si en este SR **precargamos 000** obtendremos un código de $M = 6$.

Generalizando para un contador de Johnson, el módulo principal es igual al doble de la cantidad de biestables.

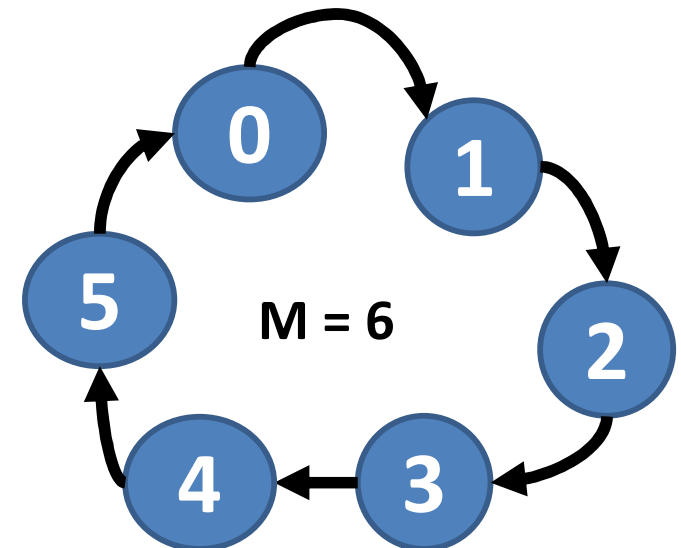
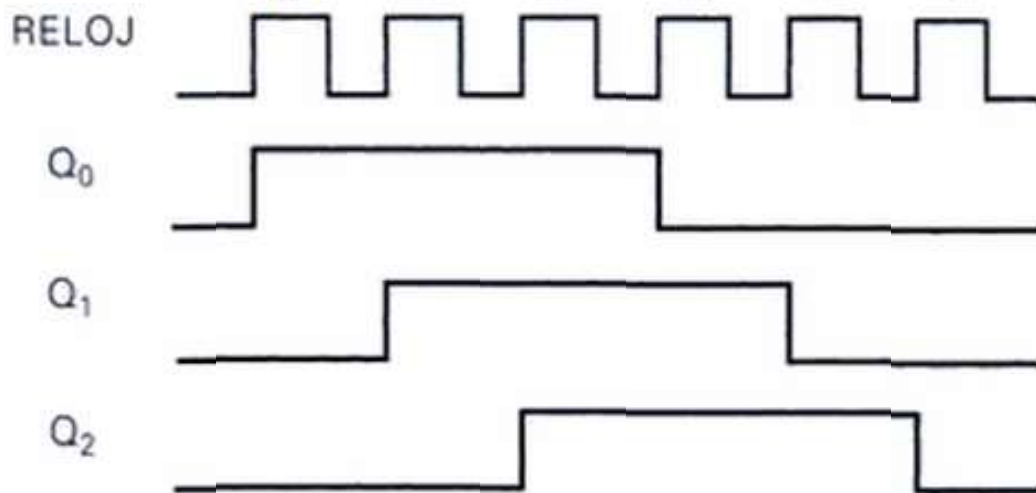
$$M = 2 \cdot n \quad < 2^n \quad \gg \gg \text{ siempre hay estados sin usar}$$

Contador de Johnson

La secuencia de avance de los datos y el diagrama de **estados** serán:

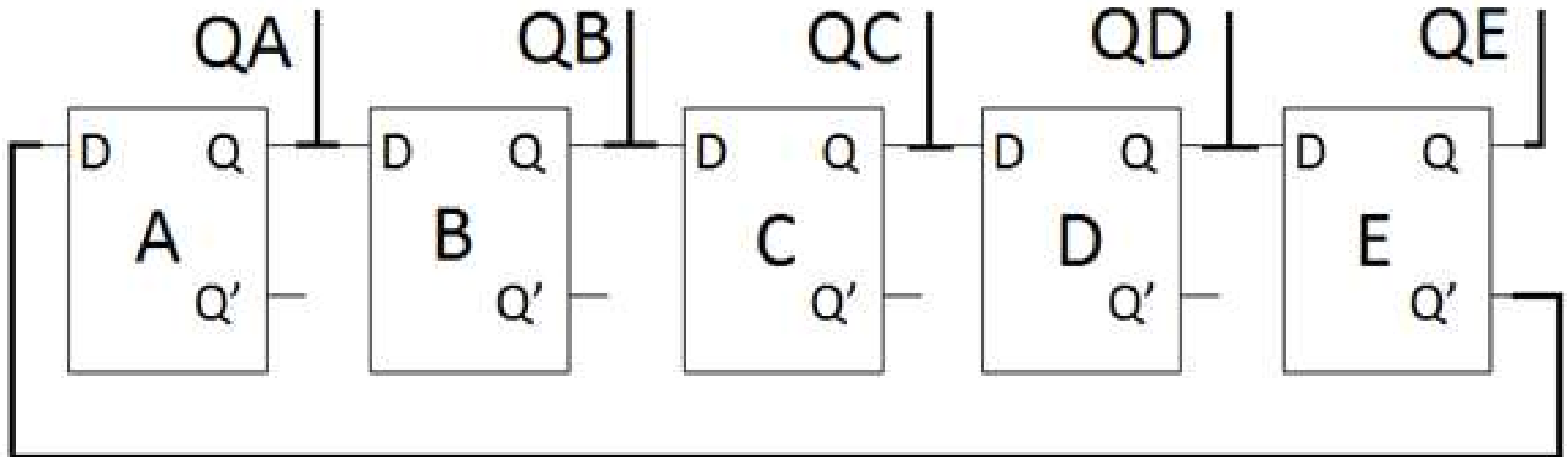


Estado	Q_2	Q_1	Q_0
0	0	0	0
1	0	0	1
2	0	1	1
3	1	1	1
4	1	1	0
5	1	0	0



Contador de Johnson

Con 5 biestables precargando **00000**, podemos obtener un contador de código **BCD de Johnson**. Por simplicidad no se grafica el POR y el Ck.



Contador de Johnson

La secuencia de avance de los datos y el diagrama de **estados** serán:

	Q_E	Q_D	Q_C	Q_B	Q_A
0	0	0	0	0	0
1	0	0	0	0	1
2	0	0	0	1	1
3	0	0	1	1	1
4	0	1	1	1	1
5	1	1	1	1	1
6	1	1	1	1	0
7	1	1	1	0	0
8	1	1	0	0	0
9	1	0	0	0	0

